

Министерство образования и науки Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования

«Самарский государственный технический университет»

Факультет: АВТОМАТИКИ И ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ

Кафедра “Вычислительная техника”

Цифровая схемотехника

**МЕТОДИЧЕСКИЕ УКАЗАНИЯ
К ЛАБОРАТОРНЫМ РАБОТАМ**

Самара 2012

Составители: И.В. ВОРОНЦОВ, В.П. ЗОЛОТОВ

УДК 621.382

Цифровая схемотехника: Метод. указания к лабораторным работам / Самар. гос. техн. ун-т; *Сост. И.В. ВОРОНЦОВ, В.П. ЗОЛОТОВ*. Самара, 2012, 77 с.

Рассмотрены достаточно подробно вопросы построения и исследования различных схемотехнических устройств: статические и динамические характеристики логических элементов, статических триггеров, регистров, цифровых счётчиков, схем сумматоров и арифметикологических устройств, мультиплексоров, устройств последовательной синхронной передачи данных. Изложена методика проведения лабораторных занятий, приведены контрольные вопросы для оценки качества усвоения материала.

Указания рекомендуются студентам специальности 230100, «Информатика и вычислительная техника» по профилю подготовки бакалавра специализации «Вычислительные машины, комплексы, системы и сети»

Ил. 57. Табл. 9. Библиогр.: 5 назв.

Печатается по решению редакционно-издательского совета СамГТУ.

ЛАБОРАТОРНАЯ РАБОТА № 1. ч.1

ИССЛЕДОВАНИЕ СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ХАРАКТЕРИСТИК ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ.

Исследование статических характеристик логических элементов

Цель лабораторной работы: Получение навыков исследования статических характеристик ИМС.

1. КРАТКАЯ ТЕОРИЯ

Логическими элементами (ЛЭ) называются устройства, с помощью которых реализуются различные логические функции. Они используются для построения преобразователей дискретной информации. В комбинационных устройствах отсутствует внутренняя память. Сигналы на выходах комбинационных устройств в любой момент однозначно определяются комбинацией сигналов на их входах и не зависят от последовательности поступления сигналов на входы устройства. Характерной особенностью комбинационных устройств является отсутствие цепей обратной связи.

Понятие ЛЭ может использоваться по крайней мере в двух смыслах:

1) ЛЭ – как «черный ящик», на входы которого подается вектор значений независимых логических переменных $X = \{x_1 x_2 \dots x_n\}$, а на выходе формируется вектор $Y = \{y_1 y_2 \dots y_m\}$. ЛЭ реализует функцию $Y = F(X)$,

где - F – функциональная модель ЛЭ – система булевых функций, заданных одним из известных способов;

- x_i, y_i - булевы переменные, которые могут принимать значения «логический нуль» или «логическая единица»; далее в тексте будем эти значения обозначать 0 и 1 соответственно.

2) ЛЭ – как техническое устройство, на входы которого подаются напряжения (или токи), на выходах так же присутствуют напряжения или токи, определенные значения которых соответствуют «логическому нулю» или «логической единице». ЛЭ являются «кирпичиками», из которых строятся ИМС (интегральные микросхемы). В большинстве ИМС «логическому нулю» или «логической единице» соответствуют низкий и высокий уровни напряжения, которые обозначают как U^0 и U^1 .

Логические элементы в виде «черного ящика» рассматриваются на этапах структурного и функционального проектирования технических устройств. На этапе технического проектирования осуществляется переход от «ЛЭ - черного ящика» к ЛЭ – техническому устройству (конкретной ИМС). В курсе «Схемотехника ЭВМ» ЛЭ рассматриваются как технические устройства, которые кроме функции $Y = F(X)$ характеризуются целым рядом электрических, временных и других параметров.

Для эффективного и грамотного использования логических элементов (и ИМС) при построении различных устройств необходимо знание и понимание их характеристик.

Различают статические и динамические характеристики ЛЭ. Статические снимаются в установившемся режиме, динамические – в переходном. С помощью экспериментов и расчетов определяют следующие основные параметры элементов: нагрузочную способность, помехоустойчивость, быстродействие, значения логического нуля U^0 и логической единицы U^1 , потребляемую мощность и т.п.

Нагрузочная способность (или коэффициент разветвления по выходу) показывает максимальное количество входов аналогичных элементов, которые могут подключаться к выходу исследуемого элемента при сохранении его работоспособности. Иногда критерием работоспособности может быть сохранение требуемого быстродействия.

Помехоустойчивость есть невосприимчивость ЛЭ к действию наложенных на входной сигнал отклонений (помех), величина которых лежит в заданных пределах. Если отклонения наложены на нулевой входной сигнал, то это будет помеха нуля. Если же отклонения наложены на единичный сигнал, то это будет помеха единицы.

Величина допустимой амплитуды помехи зависит от длительности этой помехи. При уменьшении длительности допустимая амплитуда помехи возрастает. В связи с этим различают статическую и динамическую помехоустойчивость. Если длительность помехи больше некоторого значения, при котором допустимая амплитуда помехи уже не зависит от её длительности, то такая амплитуда характеризует статическую помехоустойчивость. Динамическая помехоустойчивость характеризуется зависимостью допустимой амплитуды помехи от её длительности в области малых времён.

Быстродействие ЛЭ характеризуется скоростью перехода из одного состояния в другое. В общем случае скорость перехода эле-

мента из состояния: $U_{\text{вых}} = U^0$ в состояние: $U_{\text{вых}} = U^1$ не равна скорости перехода из состояния: $U_{\text{вых}} = U^1$ в состояние: $U_{\text{вых}} = U^0$. Длительность задержек выходных сигналов относительно входных и фронтов выходных сигналов зависит от быстродействия ЛЭ. Более быстродействующие элементы имеют меньшую длительность задержек и фронтов.

Потребляемая от источника питания мощность P зависит в общем случае от значения $U_{\text{вых}}$ (U^0 или U^1) ЛЭ и частоты его переключения. Средняя мощность, потребляемая ЛЭ в статическом режиме, определяется выражением:

$$P_{\text{ст}} = 0.5 E_{\text{п}} (I_{\text{п}}^0 + I_{\text{п}}^1).$$

Здесь $I_{\text{п}}^0$ и $I_{\text{п}}^1$ – токи, потребляемые ЛЭ при $U_{\text{вых}} = U^0$ и $U_{\text{вых}} = U^1$; $E_{\text{п}}$ – напряжение питания исследуемой схемы.

При большой частоте переключения схемы мощность, потребляемая от источника питания, возрастает вследствие перезаряда паразитных ёмкостей и сквозных токов пропорционально частоте переключения. Это возрастание характеризуется динамической мощностью $P_{\text{дин}}$. Таким образом, полная мощность равна сумме статической и динамической мощностей.

К статическим характеристикам ЛЭ относятся так же: передаточная, входная, выходная характеристики.

Передаточная характеристика определяет зависимость выходного напряжения ЛЭ $U_{\text{вых}}$ от входного напряжения $U_{\text{вх}}$: $U_{\text{вых}} = F(U_{\text{вх}})$.

Для снятия этой характеристики многовходовые ЛЭ преобразуют в одновходовые двумя различными способами. Первый способ заключается в объединении всех входов

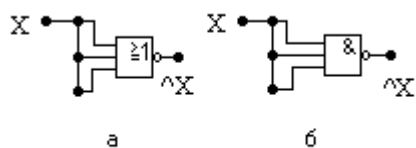


Рис. 1

в один вход, тогда элементы ИЛИ-НЕ и И-НЕ превращаются в простые инверторы. Схемы, реализующие эти преобразования, изображены на рис. 1. Знак $\hat{}$ означает операцию инверсии логической переменной X . Недостатком такого способа является увеличение входной ёмкости, что уменьшает быстродействие схемы.

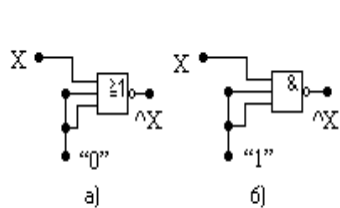


Рис. 2

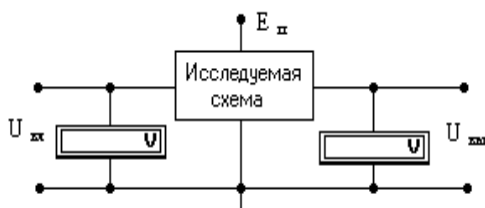


Рис. 3

Другим способом преобразования элементов для снятия характеристик является подача на остальные $n-1$ входы константы «0» или «1». Для схемы ИЛИ-НЕ на эти входы нужно подавать логический «0», а для схемы И-НЕ на оставшиеся $n-1$ входы нужно подавать логическую «1». Схемы, реализующие этот способ, изображены на рис. 2. В такой схеме ёмкостная нагрузка для входного сигнала определяется емкостью только одного входа, поэтому быстродействие схемы несколько выше.

Схема для снятия передаточной характеристики приведена на рис. 3. С помощью регулируемого источника напряжение на входе схемы $U_{ВХ}$ плавно изменяют от нуля ($U_{ВХ}^0$) до максимального значения $U_{ВХ}^1$, одновременно фиксируя изменяющееся выходное напряжение. Результаты измерений заносят в таблицу, строят график $U_{ВЫХ} = f(U_{ВХ})$. Масштабы $U_{ВХ}$ и $U_{ВЫХ}$ при построении графика нужно выбирать одинаковыми.

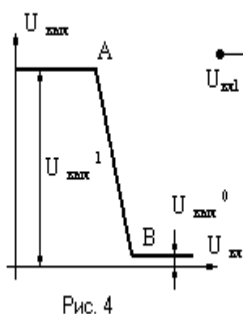


Рис. 4

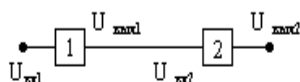


Рис. 5

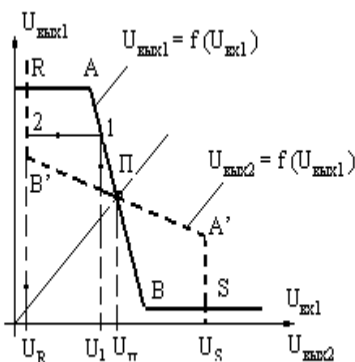


Рис. 6

Типовая передаточная характеристика инвертора показана на рис. 4.

Рассмотрим два последовательно соединённых инвертирующих элемента (рис. 5). Эти элементы некоторым образом преобразуют входные сигналы: $U_{ВЫХ1} = f(U_{ВХ1})$; $U_{ВЫХ2} = f(U_{ВЫХ1})$. Если графики обеих функций нанести на одну систему координат, используя в качестве общей оси ординат координатную ось $U_{ВЫХ1}$, то получим, что одна из функций будет обращённой по отношению к другой. Графики этих функций располагаются симметрично относительно биссектрисы прямого угла.

На рис. 6 изображены передаточные характеристики двух ЛЭ, включённых по схеме рис. 5, в случае использования в качестве логических элементов инверторов. Пунктирная линия будет представлять из себя график обращённой передаточной характеристики. Если на вход схемы рис. 5 подать напряжение U_1 , то выходное напряжение U_2

(равное U_R по рис. 6) со второго элемента определится проекцией точки 2 на горизонтальную ось. Если имеется n последовательно включённых идентичных элементов, то выходное напряжение с каждого из них определится аналогично методом последовательного переноса точек с одной кривой на другую.

Величина U_{Π} называется пороговым напряжением или напряжением переключения, так как она разделяет область логического нуля от области логической единицы. При прохождении сигнала через последовательно соединённые элементы сигнал должен затухать, если он соответствует логическому нулю; и возрастать до стандартного значения, если он соответствует логической единице. Это будет иметь место тогда, если обращённая передаточная характеристика на участке R-Π будет ниже, а на участке Π-S выше самой передаточной характеристики. Если это условие не выполняется, то в общем случае на таких элементах невозможно построить различные сложные устройства. Таким образом, передаточная характеристика позволяет определить пригодность элементов к образованию из них сложных узлов или систем.

Рассмотрим **входную характеристику** – зависимость входного тока от величины входного напряжения $I_{вх} = f_{вх}(U_{вх})$. Так как входы

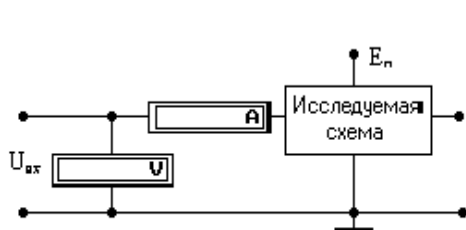


Рис. 7

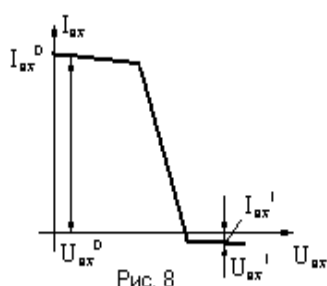


Рис. 8

схемы идентичны, то можно исследовать только один вход, подавая на остальные нули или единицы в зависимости от типа логического элемента. Схема для снятия входной характеристики приведена на рис. 7. С помощью регулируемого источника входное напряжение $U_{вх}$ плавно изменяют от $U_{вх}^0$ до $U_{вх}^1$ и фиксируют изменяющийся входной ток $I_{вх}$. Результаты измерений заносят в таблицу и строят график $I_{вх} = f_{вх}(U_{вх})$. Для различных типов схем эти характеристики могут иметь различный вид. На рис. 8 изображена типовая входная характеристика транзисторно-транзисторных схем (ТТЛ).

Эта характеристика помимо своего прямого назначения позволяет определять входные токи, соответствующие входным напряжениям логического “0” - $U_{вх}^0$ и логической “1” - $U_{вх}^1$, входное сопро-

тивление и некоторые другие параметры. Кроме того, в совокупности с выходной характеристикой можно определить нагрузочную способность элемента.

Выходной характеристикой ЛЭ называют зависимость выходного напряжения от величины тока нагрузки. Её ещё называют нагрузочной характеристикой. Снимают две выходные характеристики: выходную характеристику нуля и выходную характеристику единицы. Если выходное напряжение схемы соответствует логическому нулю, то снимаемая характеристика будет выходной характеристикой нуля; если же выходное напряжение схемы соответствует логической единице, то снимаемая характеристика будет выходной характеристикой единицы. Ввиду нелинейного режима работы электронных цепей логических элементов эти характеристики отличаются друг от друга.

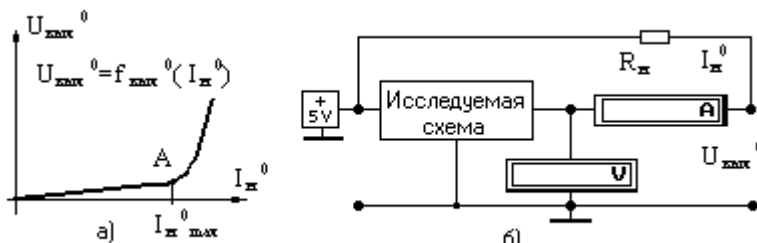


Рис. 9

Типовая выходная характеристика нуля (а) и схема для её снятия (б) изображены на рис. 9. Здесь показана схема для снятия выходной харак-

теристики нуля инвертирующего элемента, поэтому на вход схемы подаётся $U_{вх} = U^1 = E_{п}$. К этому же источнику подключена и цепь нагрузки $R_{н}$, изменением сопротивления которой плавно изменяется ток нагрузки и измеряется зависящее от него выходное напряжение. По этой характеристике можно определить выходное сопротивление схемы на рабочем участке $R_{вых}^0$ и максимальный ток нагрузки $I_{н\max}^0$. Выходное сопротивление $R_{вых}^0$ определяется как отношение приращения выходного напряжения к соответствующему приращению тока нагрузки: $R_{вых}^0 = \Delta U_{вых}^0 / \Delta I_{н\max}^0$. Максимальный ток нагрузки

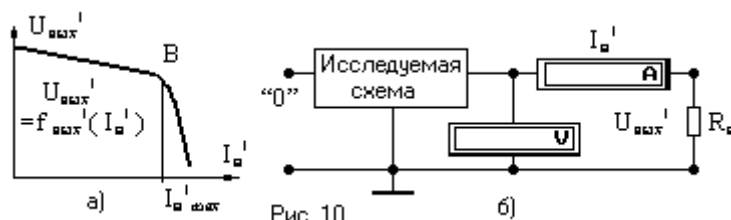


Рис. 10

определяется в точке орафика, где выходное напряжение $U_{вых}^0$ начинает резко увеличиваться но еще не достигает порогового значения $U_{п}$ (точка А на рис. 9,а). По величине максимального тока нагрузки можно определить нагрузочную способность испытуемого элемента

как отношение $I_{H \max}^0$ к входному току логического нуля : $N_{\max} = I_{H \max}^0 / I_{VX}^0$.

Другой выходной характеристикой является выходная характеристика единицы, типовой вид которой (а) и схема для её снятия (б) приведены на рис. 10. В точке В характеристики рис. 10,а незначительное увеличение тока нагрузки приводит к резкому уменьшению выходного напряжения, поэтому ток $I_{H \max}^1$ является максимальным током нагрузки логической единицы.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

Целью лабораторной работы является исследование статических характеристик логических элементов. Работа проводится на основе программной оболочки, моделирующей различные процессы в электрических цепях, с использованием библиотеки логических элементов.

В ходе работы студенты собирают заданные электрические схемы, снимают требуемые характеристики, сводят экспериментальные данные в таблицы и строят графики исследуемых зависимостей. На основе проведённых исследований составляется отчёт.

Для выполнения работы необходимо выполнить следующие шаги.

1. Запустить программу моделирования электронных схем **Multisim_10**.

2. Собрать схему по рис. 3 для получения передаточной характеристики логического элемента. В качестве исследуемой схемы использовать трёхходовой элемент ИЛИ-НЕ из библиотеки **t1l** модели **LS**, включаемый по схеме рис. 2,а. Входной сигнал U_{VX} на схему подавать от регулируемого источника постоянного напряжения через 1 вольт в диапазоне от 0 до 5 В. В местах резкого изменения характеристики шаг задаваемого входного напряжения следует уменьшать до 0.1...0.01 В. Экспериментальные данные свести в таблицу, на основании которой построить график передаточной характеристики.

3. В схеме по рис. 3 в качестве исследуемой схемы возьмите трёхходовой элемент И-НЕ из той же библиотеки и той же модели, включаемый по рис. 2,б. Повторите для него действия п. 2.

4. В схеме по рис. 3 в качестве исследуемой схемы включить два последовательно соединённые трёхходовые элементы И-НЕ по рис. 5, подсоединить дополнительно вольтметр для измерения выходного

напряжения с первого ЛЭ и снять переходные характеристики элементов, заполнив соответствующую таблицу. По полученным данным построить в одной системе координат прямую и обращённую переходные характеристики этих элементов по аналогии с рис. 6. Отметить характерные точки.

5. Собрать схему по рис. 7 для снятия входной характеристики трёхвходового элемента И-НЕ. Входное напряжение изменять в диапазоне от 0 до 5 В с шагом 1 В. На участках резкого изменения характера вида кривой шаг уменьшать до 0.1...0.01 В. Построить график входной характеристики.

6. Собрать схему по рис. 9_б для снятия выходной характеристики нуля и провести эксперимент при условиях п. 5. Построить график выходной характеристики нуля. Определить экспериментальное значение коэффициента разветвления ЛЭ серии ТТЛ и сравнить полученный результат с данными справочника.

7. Собрать схему по рис. 10,б для снятия выходной характеристики единицы и провести эксперимент при условиях п. 5. Построить график выходной характеристики единицы.

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать все схемы для исследования характеристик логических элементов. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Назовите статические характеристики логических элементов, что они характеризуют?

2. Какие способы подачи входного напряжения применяют для многовходовых логических элементов? Назовите преимущества и недостатки каждого из них.

3. Для чего используются прямые и обращённые передаточные характеристики? Каков внешний вид типовых характеристик для инвертора серии ТТЛ?

4. Начертите схему для снятия входной характеристики логического элемента. Что она характеризует?

5. Каков вид типовых выходных характеристик нуля и единицы логических элементов серии ТТЛ?

ЛАБОРАТОРНАЯ РАБОТА № 1. ч. 2

ИССЛЕДОВАНИЕ СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ХАРАКТЕРИСТИК ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ.

Исследование динамических характеристик логических элементов

Цель лабораторной работы: Получение навыков исследования динамических характеристик ИМС.

1. КРАТКАЯ ТЕОРИЯ

К динамическим характеристикам относятся задержки положительного и отрицательного фронтов выходного сигнала логического элемента относительно входного, а также зависимость тока питания ЛЭ от частоты входного сигнала.

Быстродействие ЛЭ характеризуется скоростью перехода из одного состояния в другое. В общем случае скорость перехода элемента из состояния $U_{\text{вых}} = U^0$ в состояние $U_{\text{вых}} = U^1$ не равна скорости перехода из состояния $U_{\text{вых}} = U^1$ в состояние $U_{\text{вых}} = U^0$. Длительность задержек и фронтов выходных сигналов зависит от быстродействия элемента. Более быстродействующие элементы имеют меньшую длительность задержек и фронтов.

Для практики наибольшее значение имеет время задержки. Причём для упрощения расчётов принимают среднее время задержки равным полусумме времён задержек при переходе из «1» в «0» и об-

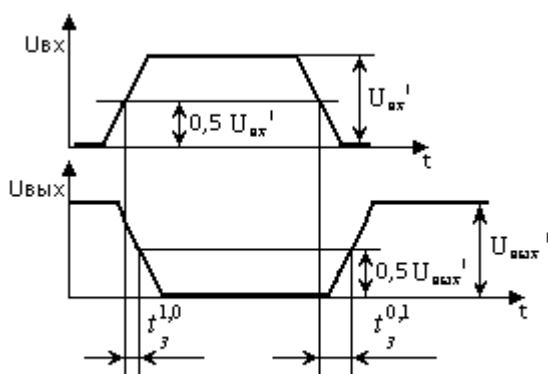


Рис. 1

ратно. Оценка быстродействия производится по осциллограммам входных и выходных сигналов исследуемого элемента.

На рис. 1 показано определение длительности задержек инвертора по осциллограммам при переключении элемента из «1» в «0» и обратно.

Под временем задержки $t_{з}^{10}$ понимают интервал времени между входным и выходным импульсами при переходе выходного напряжения от уровня логической единицы к уровню логического нуля, измеренный на уровне 0.5 амплитуды сигнала.

Временем задержки сигнала $t_{з}^{01}$ считают интервал времени между входным и выходным импульсами при переходе выходного напряжения от уровня логического нуля к уровню логической единицы, измеренный на уровне 0.5 амплитуды сигнала.

Средним временем задержки сигнала называют интервал времени, равный полусумме времён задержек $t_{з}^{10} + t_{з}^{01}$:

$$t_{з,ср} = (t_{з}^{10} + t_{з}^{01}) / 2.$$

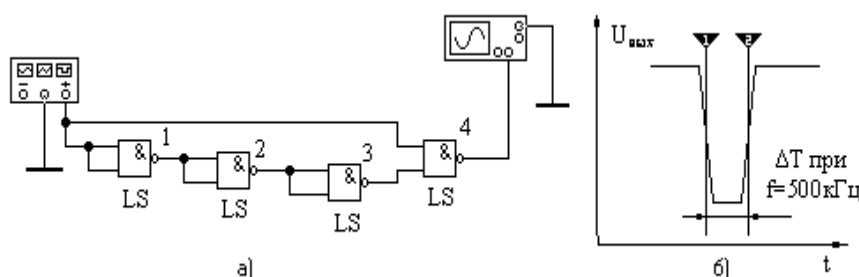


Рис. 2

Так как это время достаточно мало, то обычно измеряют суммарное время переключения для нескольких одинаковых элементов, а затем пересчитывают его для одного элемента.

Схема для определения $t_{з,ср}$ для ЛЭ показана на рис. 2,а. Эксперимент проводится с тремя последовательно соединёнными элементами 2И-НЕ из библиотеки **ttl** модели **LS**.

Здесь элемент 4 служит для выделения суммарного времени задержки переключения элементов 1, 2 и 3 в виде длительности импульса на выходе элемента 4. Пока напряжение на выходе генератора импульсов равно «0», на первом входе элемента 4 – логический «0», а на втором – логическая «1», что соответствует логической «1» на выходе элемента 4. При появлении на выходе генератора логической единицы (на первом входе элемента 4 так же «1») на выходе элемента 4 появится «0», который сменится на «1» после переключения элементов 1, 2 и 3. Длительность выходного отрицательного импульса практически не зависит от задержки, вносимой элементом 4, так как

задержки для положительных и отрицательных фронтов примерно одинаковы.

Измеренное с помощью осциллографа суммарное время задержки ΔT необходимо разделить на количество ЛЭ в цепочке, в результате чего получим величину задержки одного фронта импульса. Вид отрицательного импульса на выходе 4-го элемента при частоте генератора 500 кГц показан на рис. 2,б.

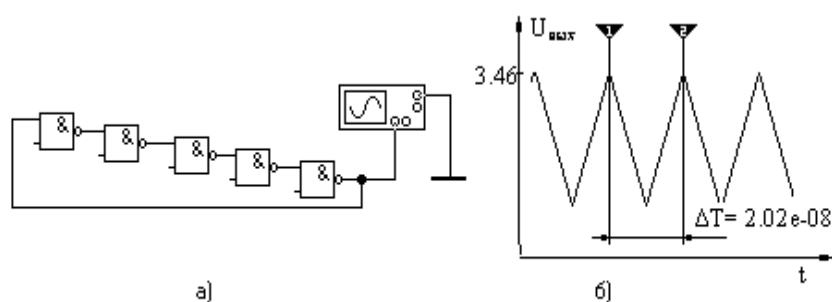


Рис. 3

На рис. 3,а приведён второй вариант схемы для определения времени задержки логического элемента. За счет задержек сигналов на ЛЭ схема генерирует импульсы, период которых пропорционален суммарному времени задержки всех фронтов входящих в цепочку

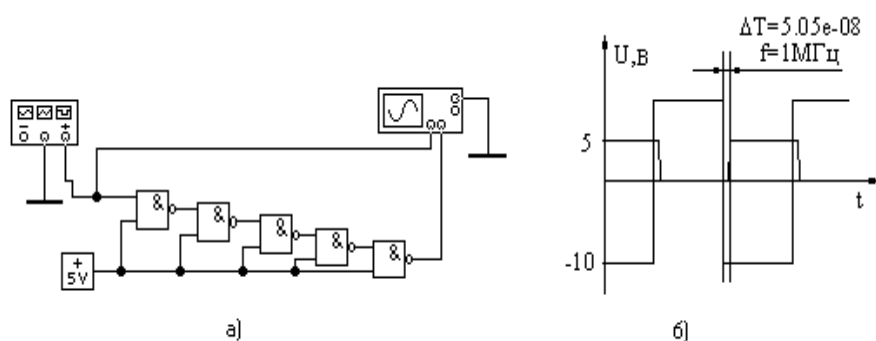


Рис. 4

ЛЭ. Измерив по осциллографу период колебаний и разделив его на удвоенное число ЛЭ в схеме, получим время задержки одного фронта. График изменения выходного сигнала схемы показан на рис. 3,б. Напряжение по оси ординат указано в вольтах. В качестве ЛЭ здесь так же необходимо использовать элементы из библиотеки **t1l** модели **LS**.

Схема, приведенная на рис. 4,а, содержит n последовательно соединённых элементов 2И-НЕ и позволяет наглядно на экране осциллографа наблюдать задержку выходного сигнала цепочки элементов относительно входного. На вход канала А осциллографа подается

сигнал с выхода генератора, а на вход канала В – с выхода цепочки элементов. За счёт задержек фронтов прохождения сигнала через n ЛЭ импульсы по каналам В и А осциллографа будут сдвинуты во времени. Для лучшей их идентификации задаются различные амплитуды прямоугольных сигналов: с генератора поступает двухполярный сигнал амплитудой в 10 В, а с выхода ЛЭ - униполярный импульс амплитудой в 5 В. График выходных напряжений на экране осциллографа приведён на рис. 4,б. Разделив временной интервал ΔT на количество ЛЭ в цепочке, получим время задержки одного фронта импульса. В качестве элементов следует брать реальные ЛЭ из библиотеки **t1l** модели **LS**.

При переключении транзисторов в схемах ЛЭ возникает дополнительное

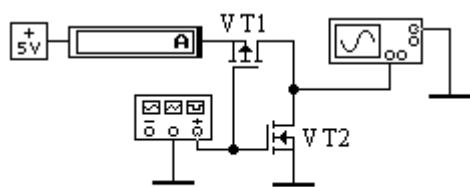


Рис. 5

потребление мощности, обусловленное перезарядом внутренних ёмкостей и появлением сквозных токов. Величина сквозного тока зависит от скорости переключения ЛЭ: чем «медленнее» он переходит из состояния $U_{\text{вых}} = U^0$

в состояние $U_{\text{вых}} = U^1$ (или наоборот), тем дольше будут «полуоткрыты» транзисторы VT1 и VT2 (рис. 5) и тем больше будет потребляемый ЛЭ ток (а значит и мощность). На этом рисунке приведена схема КМОП-инвертора, позволяющая измерить зависимость тока питания от частоты входного сигнала. Снимается зависимость потребляемого по цепям питания тока от частоты переключения, а затем рассчитывается потребляемая мощность. В качестве VT1 следует использовать транзистор из библиотеки 2n6xxx модели 2N6840, а в качестве VT2 – транзистор из библиотеки 2nxxxx модели 2N6782. Следует заметить, что входные сигналы с плохими (пологими) фронтами так же приводят к повышенному потреблению тока (и мощности) ЛЭ, а повышение потребляемой мощности приводит к перегреву ИМС и преждевременному выходу ее из строя.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

Для выполнения работы необходимо выполнить следующие шаги.

1. Запустить программу моделирования электронных схем **Multisim_10**.

2. Собрать схему по рис. 2, используя логические элементы 2И-НЕ из библиотеки **t11** модели **LS**. Подать на вход схемы прямоугольные импульсы частотой 500 КГц с генератора импульсов. Измерить длительность отрицательного импульса на выходе четвертого ЛЭ с помощью осциллографа. Увеличить кнопкой ZOOM размер изображения путём выделения нужного участка стрелочками визиров. Вычислить среднее время задержки одного ЛЭ.

3. Собрать схему по рис. 3 и измерить время задержки фронта импульса ЛЭ с реальными характеристиками (**t11** модели **LS**).

4. Собрать схему по рис. 4, используя ЛЭ с реальными характеристиками (**t11** модели **LS**), и измерить время задержки фронта импульса.

5. Собрать схему по рис. 5 и снять зависимость величины тока, потребляемого по цепям питания КМОП-инвертора, от частоты входного сигнала. Частоту генератора изменять в диапазоне 50 Гц-50 МГц с коэффициентом 100. На участках резкого изменения тока от частоты произвести более детальные исследования. Амплитуду входного сигнала установить равной 6 В. Полученные данные занести в таблицу. Рассчитать величину потребляемой мощности. Построить график зависимости потребляемой мощности от частоты входного сигнала, откладывая последнюю по оси абсцисс в логарифмическом масштабе. Какой из этого можно сделать вывод?

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать все схемы для исследования характеристик логических элементов. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое динамические параметры логических элементов и какие факторы определяют их значения?
2. Каким образом измеряется время задержки фронта импульса?
3. Как находится среднее время задержки импульса?
4. Что такое динамическая мощность и как можно определить её величину?
5. Какие можно предложить схемные варианты для измерения времени задержки фронта импульса в логическом элементе?

6. Какие можно сделать выводы по результатам оценок различными способами времени задержки импульса одним и тем же логическим элементом 2И-НЕ?

ЛАБОРАТОРНАЯ РАБОТА № 2

ИССЛЕДОВАНИЕ СТАТИЧЕСКИХ ТРИГГЕРОВ

Цель лабораторной работы: Получение навыков исследования статических триггеров

1. КРАТКАЯ ТЕОРИЯ

Триггер представляет собой электронное устройство с двумя состояниями устойчивого равновесия. Одно из этих состояний отождествляется с символом «0», а другое - с символом «1». Триггер, как правило, имеет два выхода: Q – прямой и \bar{Q} – инверсный (^ - знак инверсии логической переменной). В состоянии «0» сигнал на выходе $Q=0$, а на выходе $\bar{Q}=1$. В состоянии «1» сигнал на выходе $Q=1$, а на выходе $\bar{Q}=0$.

Основой любого триггера является элемент памяти. В статических триггерах эту роль выполняет статический элемент памяти: простейший асинхронный RS - триггер. Текущее состояние RS -триггера характеризуется сигналом на прямом выходе Q_t , а новое состояние Q_{t+1} является функцией входных управляющих сигналов: R (Reset), S (Set) и Q_t . Например, для установки триггера в состояние $Q_{t+1}=0$ необходимо на его входы подать сигналы: $R=1$ и $S=0$, для установки триггера в состояние $Q_{t+1}=1$ необходимо на его входы подать сигналы: $R=0$ и $S=1$. Элемент памяти может сохранять свое состояние Q_{t+1} неограниченное время в режиме хранения: $R=0$ и $S=0$. Если на входы элемента памяти подать сигналы $R=1$ и $S=1$, то выходные сигналы Q_{t+1} и \bar{Q}_{t+1} будут иметь одинаковые значения, что не соответствует ни одному из устойчивых состояний. После изменения входных сигналов : $R=0$ и $S=0$ (режим хранения) состояние элемента памяти будет неопределенным. Поэтому для нормальной работы элемента памяти запрещается подавать на его входы сигналы $R=1$ и $S=1$.

Из таблицы истинности и карты Карно, приведенных на рис.1, следует, что поведение такого элемента памяти описывается следующим характеристическим уравнением:

$$Q^{n+1} = S \vee \bar{R} * Q^n \dots (1).$$

Здесь и далее индексы n и $n+1$ обозначают такты дискретного времени: n – до поступления управляющего сигнала на входы элемента памяти, $n+1$ – после изменения состояния элемента.

Используя правило двойного отрицания и преобразование де-Моргана можно записать выражение (1) в следующих видах:

$$Q^{n+1} = S \vee (\wedge R * Q^n); \quad Q^{n+1} = S \vee (R \vee Q^n) \dots (2)$$

$$Q^{n+1} = \wedge (\wedge S \vee R * Q^n); \quad Q^{n+1} = \wedge (\wedge S * \wedge (R * Q^n)) \dots (3).$$

Выражения (2) и (3) определяют два варианта построения элемента памяти - RS-

триггера. Первый строится на логических элементах (ЛЭ) ИЛИ-НЕ, а второй – на элементах И-НЕ. На рис.2 приведены функциональные

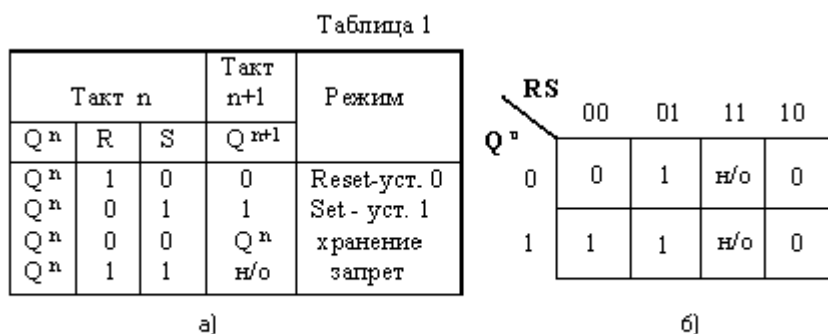


Рис.1. Таблица истинности (а) и карта Карно (б) для триггера как элемента памяти

схемы, условные обозначения и временные диаграммы асинхронных RS-триггеров, построенных на элементах ИЛИ-НЕ (рис. 2,а) и на И-НЕ (рис. 2,б).

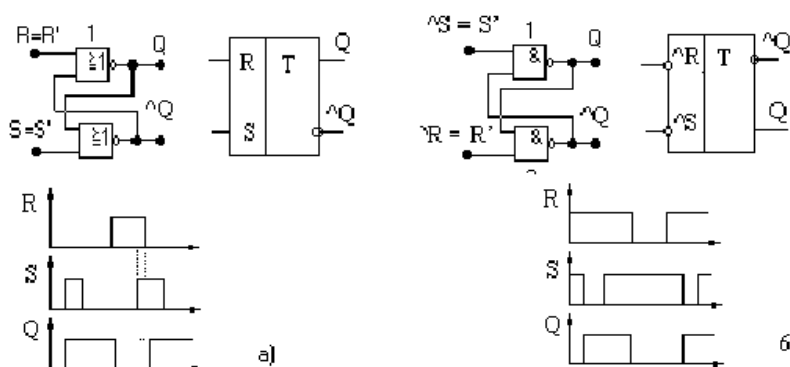


Рис.2. Функциональные схемы, условные обозначения и примеры временных диаграмм для RS-триггеров на элементах ИЛИ-НЕ (а) и И-НЕ (б).

Для RS-триггера на ЛЭ ИЛИ-НЕ активным является уровень логической 1. По временной диаграмме (рис. 2,а) видно, что единичный сигнал на S-входе устанавливает триггер в состояние “1” (на его выходе $Q=1$). По окончании действия сигнала $S=1$ на входах триггера

сигналы $S=R=0$ (режим хранения). Сигнал $R=1$ устанавливает триггер в состояние "0" ($Q=0$).

Пунктиром отмечен интервал времени одновременного появления на R - и S -входах логической 1, что является запрещённым состоянием для триггера этого типа. Состояние выходного сигнала Q в этот интервал времени не определено (пунктирная линия). После сброса до 0 сигнала на R -входе $Q=1$ за счёт действия логической 1 на S -входе. Прекращение действия сигнала на S -входе и состояние $S=R=0$ устанавливает режим хранения для $Q=1$.

Для RS -триггера на ЛЭ И-НЕ активным является уровень логического 0. По временной диаграмме (рис. 2,б) видно, что состояние $S=R=1$ обеспечивает режим хранения, поддерживая $Q=0$. Логический 0 на S -входе устанавливает $Q=1$, сохраняющийся и при возвращении S -входа к уровню 1. Отрицательный импульс на R -входе устанавливает $Q=0$. Затем в течение короткого интервала времени $R=S=1$ (режим хранения $Q=0$), и установка 1 (при $S=0, Q=1$), что и сохраняется в дальнейшем при $R=S=1$.

Недостатком асинхронного RS -триггера является то, что на входные сигналы R и S триггер реагирует в момент их изменения на входах триггера. Синхронный RS -триггер имеет дополнительный вход синхронизации C . Изменение состояния такого триггера возможно только при $C=1$. Поэтому его характеристическое уравнение имеет вид:

$$Q^{n+1} = C * (S \vee R * Q^n) \vee \bar{C} * Q^n \dots (4).$$

Используя двойное инвертирование и преобразование де-Моргана получим: $Q^{n+1} = \bar{\bar{C}} * S \vee \bar{C} * R * Q^n \vee \bar{C} * Q^n = \bar{\bar{C}} * S \vee Q^n * (\bar{C} * R \vee \bar{C})$;

$$Q^{n+1} = \bar{\bar{C}} * (S * (Q^n * \bar{\bar{C}} * (R * C))) \dots (5).$$

По этому выражению можно построить функциональную схему RS -триггера, синхронизируемого импульсом C (рис.3). Здесь же приведены его условное обозначение и временные диаграммы работы.

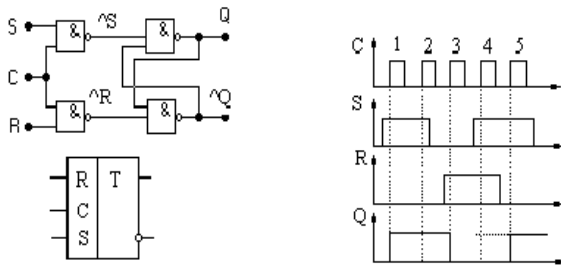


Рис.3. Функциональные схемы, условные обозначения и примеры временных диаграмм для RS-триггера, синхронизируемого импульсом синхронизации С.

По временным диаграммам рис. 3 видно, что появление высокого уровня Q выходного сигнала триггера происходит при наличии первого импульса на С-входе ($S=1$). Это состояние сохраняется и после окончания действия импульса на S-входе за счёт второго тактового импульса С-входа. Установка триггера в «0» ($R=1$) происходит

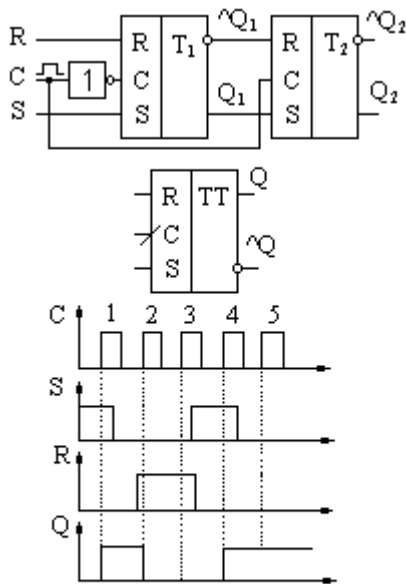


Рис.4. Функциональная схема, условное обозначение и временные диаграммы синхронизируемого передним фронтом RS-триггера

только при появлении третьего синхроимпульса, и состояние $Q=0$ поддерживается в течение времени действия третьего синхроимпульса и паузы между третьим и четвёртым синхроимпульсами. Одновременное действие $S=R=1$ при четвёртом синхроимпульсе и последующей паузе является запрещённым состоянием, поэтому выходной сигнал не определён (пунктирная линия) и установление $Q=1$ за счёт $S=1$ происходит только при пятом синхроимпульсе. Далее это состояние $Q=1$ сохраняется (режим хранения $S=R=0$).

Недостатком синхронизируемого импульсом RS-триггера является возможность изменения его состояния в течение всего времени действия синхроимпульса. Это обстоятельство устранено в RS-триггере, синхронизируемом фронтом импульса С.

На рис.4 приведены функциональная схема RS-триггера, синхронизируемого передним фронтом импульса, его условное обозначение и временные диаграммы работы. Синхроимпульс подаётся на С-вход триггера T_1 через инвертор. Поэтому при $C=0$ T_1 реагирует на изменения сигналов на входах R и S, нужным образом устанавливая Q_1 и \bar{Q}_1 . В момент изменения синхроимпульса С от 0 к 1 T_1 перестаёт реагировать на изменения R и S, а его последнее состояние Q_1 и

\hat{Q}_1 запоминается на T_2 , так как синхроимпульс на его С-входе равен 1. Далее при $C=1$ T_1 не реагирует на изменения R и S, Q_1 и \hat{Q}_1 постоянны. Второй триггер T_2 сохраняет свое состояние.

Двухступенчатое запоминание информации в этом триггере отображается двумя буквами T в условном его обозначении. Реакция схемы на передний фронт идентифицируется отрезком под углом 45° на линии ввода сигнала в С-вход.

Временные диаграммы работы триггера на рис. 4 показывают переход ТТ в единичное состояние за счёт $S=1$ по переднему фронту первого синхроимпульса и возвращение $Q=0$ по переднему фронту второго синхроимпульса ввиду $R=1$. Четвёртый импульс вновь устанавливает $Q=1$ за счёт $S=1$, и далее при $S=R=0$ реализуется режим хранения состояния $Q=1$. Такое схемотехническое построение триггера существенно повышает его устойчивость к воздействию различных помех.

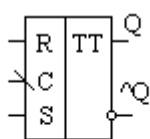


Рис. 5. Условное обозначение управляемого задним фронтом RS-триггера

Аналогично рис. 4 может быть построена схема RS-триггера, синхронизируемого задним фронтом синхроимпульса. Для этого инвертор должен быть включён в цепь на С-вход второго триггера. На условном обозначении управляемого задним фронтом RS-триггера отрезок на линии С-входа размещается под углом в 135° (рис. 5).

D-триггер имеет один информационный вход (D-вход) и вход для синхронизирующего импульса. Его функционирование реализуется в соответствии с таблицей истинности (табл. 2), из которой можно записать характеристическое уравнение для D-триггера: $Q^{n+1} = C * D \vee \hat{C} * Q^n \dots (6)$. D-триггер строится на базе RS-триггера. Если у RS-триггера, работающего согласно уравнению $Q^{n+1} = C * (S \vee \hat{R} * Q^n) \vee \hat{C} * Q^n$ на вход S подать значение D ($S=D$), а на вход R подать значение \hat{D} ($R=\hat{D}$), то получим характеристическое уравнение D-триггера: $Q^{n+1} = C * (D \vee \hat{D} * Q^n) \vee \hat{C} * Q^n = C * D \vee \hat{C} * Q^n$ (рис. 6,а). Здесь же на рис. 6 показано условное обозначение D-триггера (б) и временные диаграммы его работы (в). Синхронизация D-триггера производится по переднему (для рис. 6) или заднему фронту тактирующего импульса.

T-триггер — это триггер с одним так называемым счётным входом, изменяющий своё состояние с приходом каждого входного

импульса. Функционирование триггера должно идти в соответствии с таблицей истинности табл.3, на основании которой можно записать характеристическое уравнение в виде: $Q^{n+1} = C * Q^n \vee \bar{C} * Q^n \dots (8)$, а на основании последнего получить Т- триггер из D–триггера, положив $D = \bar{Q}^n$.

Функ-
циональная
Т-
ра по-
на рис.

ШИМИ
СКИМИ
МОЖНО-
облада-
триг-

имеющий два логических входа Т и V , первый из которых является счётным, а второй – разрешающим. TV триггер при V=1 выполняет функции Т-триггера; если на входе V действует запрещающий сигнал 0, состояние триггера не меняется. Характеристическое уравнение, описывающее логические возможности TV-триггера, имеет вид:

$$Q^{n+1} = Q^n (\bar{T} \vee \bar{V}) \vee Q^n T * V.$$

JK-триггер имеет два информационных входа: J и K, а так же вход для тактовых импульсов С. Правило работы JK-триггера определяется его таблицей истинности табл. 4 и картой Карно (рис. 8), на

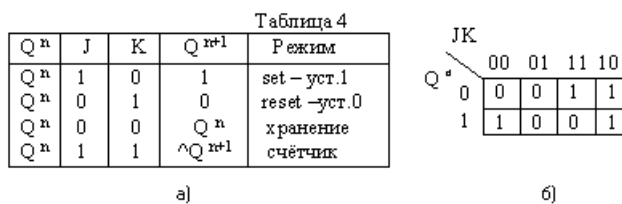


Рис.8. Таблица истинности (а) и карта Карно (б) для JK-триггера при C=1

основании которых можно записать следующее характеристическое уравнение:

$$Q^{n+1} = C * (J * \bar{Q}^n \vee \bar{K} * Q^n) \vee C * Q^n,$$

на основании чего можно составить функциональную схему JK–триггера (рис. 9,а). Этот триггер строится на базе RS–триггера введением обратных связей с прямого и инверсного выходов на два входных элемента И, объединяющие сигналы обратной связи с сигналами управления J и K. На рис. 9,б приведено условное обозначение триг-

цио-
схема
тригге-
казана
7.
Боль-
логиче-
воз-
стями
ет TV-
гер,

гера этого типа, временные диаграммы (в) иллюстрируют его работу. В момент совместного действия логических 1 на входах J и K передний фронт третьего синхроимпульса вызывает срабатывание триггера в счётном режиме, изменяя Q с величины 0 на значение 1.

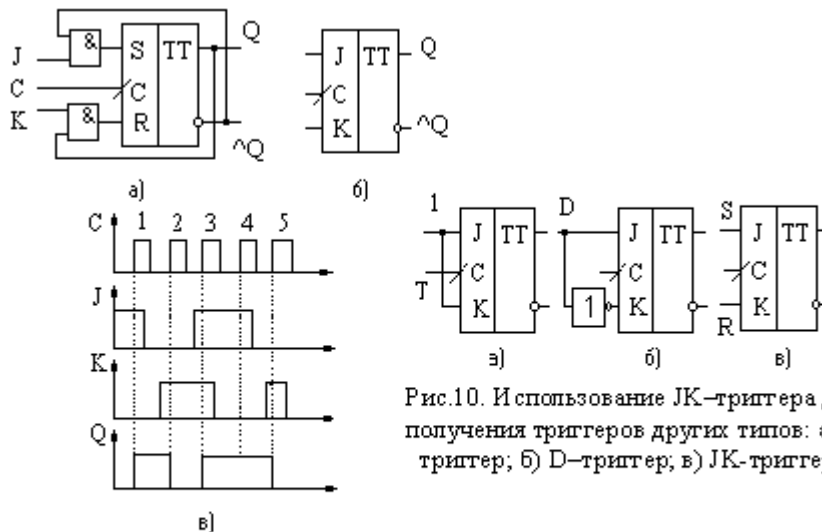


Рис.9. Функциональная схема (а), условное обозначение (б) и временные диаграммы (в) JK-триггера при C=1

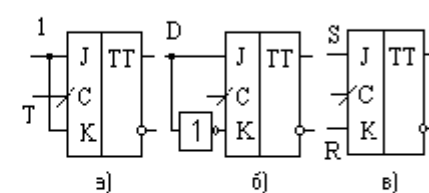


Рис.10. Использование JK-триггера для получения триггеров других типов: а) Т-триггер; б) D-триггер; в) JK-триггер

При отсутствии синхроимпульсов, т.е. C=0 JK-триггер работает в режиме хранения. На базе JK-триггера можно получить схемы всех остальных триггеров, что и приведено на рис. 10.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

2.1 Запустите программу моделирования электронных схем **Multisim_10..**

2.2. Соберите на монтажном столе схему асинхронного статического триггера по рис. 2,б. Убедитесь в её работоспособности, спланируйте эксперимент и результаты запишите в виде таблицы истинности $Q^{n+1}=f(S, R, Q^n)$. Логические переменные R и S на входах задавайте с помощью переключателя кнопочного на два положения из контейнера **Control**, подключённые одним выводом к источнику +5 вольт, а другим выводом – к земле. Индикацию состояния выходов триггера обеспечьте индикаторами из контейнера **Indicators**. Составьте характеристическое уравнение RS-триггера.

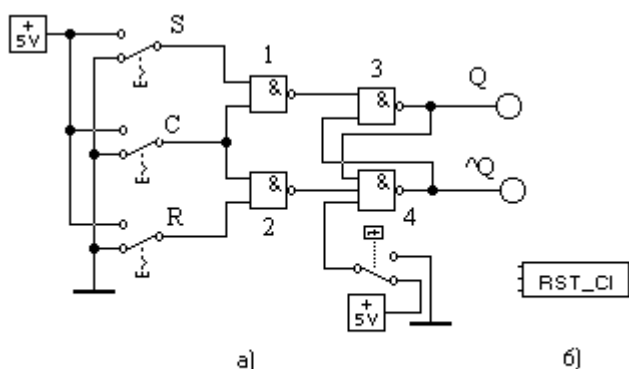


Рис.11. RS-триггер, синхронизируемый импульсом C, (а) и подсхема RST-CI на его основе (б)

триггера обеспечьте индикаторами из контейнера **Indicators**. Составьте характеристическое уравнение RS-триггера.

2.3. При исследовании схем с триггерами перед началом экс-

перимента необходимо установить триггера в определённое состояние (например, в логический 0), так как моделирующая программа не может разрешить противоречие: неизвестны значения Q^n и \bar{Q}^n , а $S=R=0$, т.е. задан режим хранения, а состояние Q^n – неизвестно. Поэтому во всех схемах этой работы первым шагом моделирования должна быть установка триггеров в определённое состояние (логический 0). Для этого в схему синхронизируемого импульсом RS-триггера на рис. 3 в логическом элементе 4 введён переключатель с задержками во времени из контейнера **Control**, у которого Time On =100 нс, а Time Off=10000 с. (рис.11). Этот переключатель в момент начала моделирования включается и подаёт логический 0 на дополнительный вход статического элемента памяти и устанавливает его в состояние логического 0, а через 100 нс отключается и подаёт на этот вход логическую 1. С этого момента времени элемент памяти может нормально функционировать в моделирующей программе.

Соберите схему синхронизируемого импульсом RS-триггера по рис. 11,а. Убедитесь в её работоспособности, спланируйте эксперимент и результаты запишите в виде таблицы истинности $Q^{n+1}=f(S,R,Q^n)$ при $C=1$. Составьте характеристическое уравнение. Убедитесь, что в начале моделирования триггер устанавливается в состояние 0. Поместите эту схему в подсхему RST_CI (рис.11,б).

2.4. Используя подсхему RST_CI, соберите RS-триггер, синхронизируемый отрицательным фронтом импульса синхронизации по рис.12,а. Спланируйте эксперимент по исследованию схемы. С помощью логического анализатора из моделирующей программы продемонстрируйте преподавателю временные диаграммы зависимостей Q_1 и Q_2 от R , S и C . Поместите RS-триггер с синхронизацией от отрицательного фронта импульса в подсхему RST_CFn (рис.12,б), убрав предварительно индикацию состояний Q_1, \bar{Q}_1 .

2.5. Соберите схему D-триггера по рис. 13,а. Убедитесь в её работоспособности, спланируйте экспери-

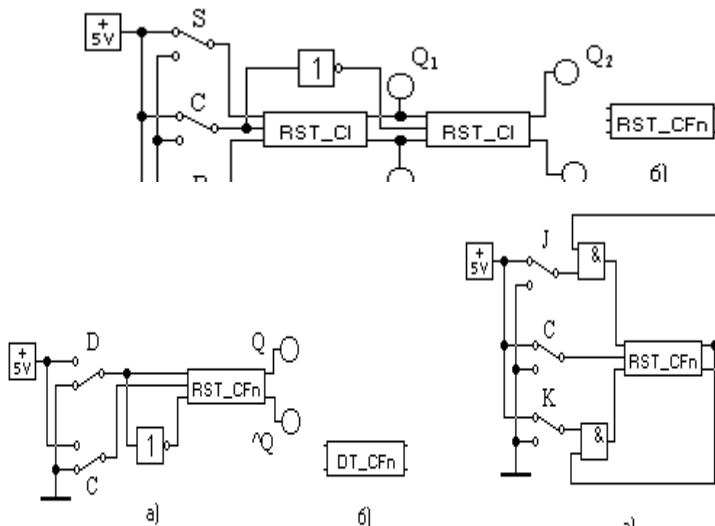


Рис.13. D-триггер, синхронизируемый отрицательным фронтом импульса, (а) и его подсхема (б)

Рис.14. JK-триггер, синхронизируемый отрицательным фронтом импульса, (а) и его подсхема (б)

мент и результаты запишите в виде таблицы истинности $Q^{n+1} = f(D, C, Q^n)$. Составьте характеристическое уравнение для D–триггера. Поместите схему в подсхему DT_CFn (рис.13,б).

2.6. Соберите схему JK–триггера по рис. 14,а. Убедитесь в её работоспособности, спланируйте эксперимент и результаты запишите в виде таблицы истинности $Q^{n+1} = f(J, K, C, Q^n)$. Составьте характеристическое уравнение для JK-триггера. Поместите эту схему в подсхему JKT_CFn (рис.14,б).

Для использования созданных подсхем в новых схемах необходимо поместить их в контейнер пользователя файла **default.ca4** (через буфер обмена) и сохранить. Теперь при создании новой схемы следует выбирать существующий файл **default. ca4**, в котором будет появляться монтажный стол с контейнером, содержащим созданные вами подсхемы.

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать все схемы для исследования статических триггеров. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Как классифицируются триггеры по функциональным возможностям?

2. На базе каких логических элементов может строиться асинхронный RS-триггер? Какие уровни логической переменной являются активными для каждого из них?

3. Почему возникла необходимость введения тактируемых триггеров? Поясните по временной диаграмме рис. 3 работу такого триггера.

4. Поясните по временной диаграмме рис. 4 работу синхронизируемого передним фронтом RS–триггера.

5. В чём функциональное отличие между RS- и JK-триггерами, поясните работу последнего по временной диаграмме рис. 9.

6. Покажите схемные решения использования JK–триггера для построения триггеров всех других видов.

ЛАБОРАТОРНАЯ РАБОТА № 3

ИССЛЕДОВАНИЕ РЕГИСТРОВ

Цель лабораторной работы: Получение навыков исследования ИМС регистров.

1. КРАТКАЯ ТЕОРИЯ

Совокупность из нескольких триггеров, предназначенных для хранения двоичного кода, называется регистром. Введением дополнительной логики функциональные возможности регистров расширяются, обеспечивая возможность сдвига записанной информации в ту или иную сторону.

В соответствии с назначением различают регистры хранения, регистры сдвига и универсальные регистры.

По принципу хранения информации регистры делятся на статические и динамические. Статические регистры строят на потенциальных элементах памяти (триггерах), которые могут хранить записанную информацию сколь угодно долго (при наличии напряжения питания). Динамические регистры строят на элементах памяти такого типа, как конденсатор, которые могут хранить информацию лишь в течение некоторого промежутка времени. Поэтому в динамических регистрах необходима регенерация записанной информации.

Важнейшие характеристики регистров – разрядность и быстродействие. Разрядность определяется количеством триггеров. Быстродействие характеризуется максимальной тактовой частотой, с которой может производиться запись, чтение и сдвиг информации.

Наиболее широко распространены регистры сдвига, предназначенные для преобразования информации путём её сдвига под воздействием тактовых импульсов. Такие регистры представляют собой совокупность последовательно соединённых триггеров, как правило, двухступенчатой структуры. По направлению сдвига информации различают регистры прямого сдвига (вправо, т.е. в сторону младшего разряда), обратного сдвига (влево, т.е. в сторону старшего разряда) и реверсивные, допускающие сдвиг в обоих направлениях.

В простейшем регистре триггеры соединены последовательно: выходы Q и \bar{Q} предыдущего триггера передают бит данных на входы R и S последующего. Все тактовые входы C триггеров соединены

параллельно. При таком включении единица, записанная в виде напряжений низкого и высокого уровней по входам R и S первого триггера, после подачи одного тактового импульса перейдёт во второй триггер, затем во время следующего тактового импульса она попадёт в третий триггер и так последует далее, до конца регистра.

Аналогично продвигается по регистру многоразрядное слово: оно поразрядно вводится на входы R и S первого триггера. Простейший регистр имеет один вход и один выход – последовательные. Вход управления также единственный – тактовый. Если ко входу каждого триггера добавить разрешающую логику, можно получить дополнительные, так называемые параллельные входы одновременной загрузки байта в регистр. Здесь, как правило, используют дополнительные защёлки, где фиксируются данные, поступившие на входы после прихода тактового импульса. В такую схему добавляется вход разрешения записи.

Можно предусмотреть также логическую схему параллельного отображения на выходе состояния каждого триггера. Тогда после заполнения регистра от последовательного или параллельного входов по команде разрешения выхода накопленное цифровое слово можно отобразить поразрядно сразу на всех параллельных выходах. Для удобства поочерёдной выдачи данных от таких регистров – буферных накопителей в шину данных обрабатывающего устройства – процессора – параллельные выходы регистров снабжаются выходными буферными усилителями, имеющими третье, разомкнутое Z-состояние. По многопроводной шине данных процессор получает цифровое слово – байт от выходов того регистра, которому дана команда разрешения выдачи.

Наиболее широко распространены регистры сдвига на D-триггерах

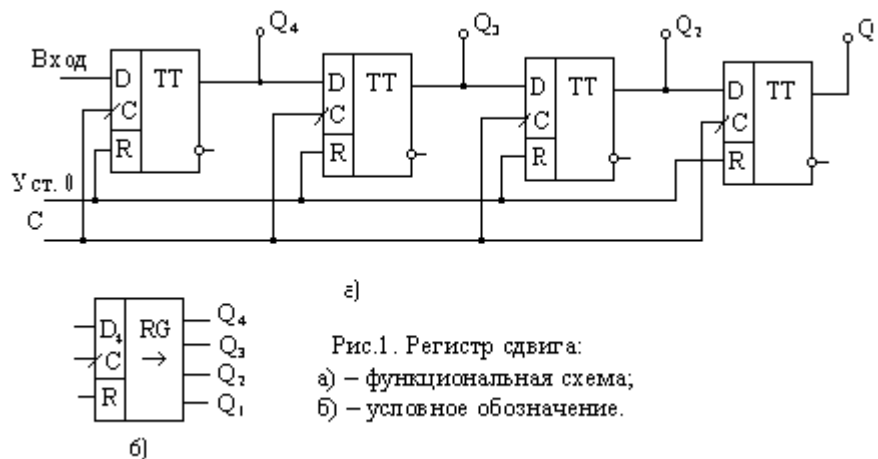


Рис.1. Регистр сдвига:
а) – функциональная схема;
б) – условное обозначение.

(рис. 1). Такие регистры имеют один информационный вход, вход для

импульсов синхронизации(импульсов сдвига) и установочный вход R. Выходы в регистре могут быть с каждого разряда для считывания информации в параллельном коде. Также имеется один выход с последнего (относительно входа) разряда для считывания информации последовательно во времени, т.е. последовательным кодом. Вход регистра для импульсов сдвига получается объединением С-входов всех триггеров, а установочный вход - R-входов.

Перед записью информации регистр устанавливается в нулевое состояние подачей положительного импульса по шине «Уст. 0». Записываемая информация должна быть представлена последовательным кодом. Запись осуществляется поразрядно со стороны старшего (рис. 1) или младшего разряда (направление сдвига указывается стрелкой на условном обозначении регистра) путём продвижения кодовой комбинации с каждым тактовым импульсом от разряда к разряду. Следовательно, для записи N-разрядного слова необходимы N-импульсов сдвига.

Считывание информации последовательным кодом осуществляется, как и запись, поразрядным сдвигом записанной кодовой комбинации к выходу с каждым тактовым импульсом. Следовательно, для считывания N-разрядного слова необходимы N импульсов сдвига. Считывание информации параллельным кодом происходит в паузе между последним импульсом сдвига одного цикла записи и первым импульсом сдвига другого цикла записи, т.е. в интервале времени, когда на С-входах триггеров нулевой уровень, и они находятся в режиме хранения.

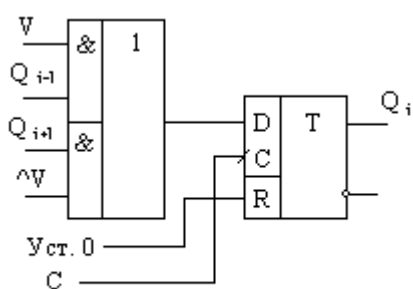


Рис.2. Разряд реверсивного регистра

Таким образом, с помощью регистра сдвига можно осуществлять преобразование информации из последовательной формы представления в параллельную. Очевидно, если предусмотрена запись информации параллельным кодом, то можно преобразовывать информацию из параллельной формы представления в последовательную.

Регистры сдвига могут быть построены и на триггерах одноступенчатой структуры. В этом случае в каждом разряде регистра нужно использовать два триггера, которые управляются двумя сдвинутыми во времени тактовыми импульсами. Наличие двух триггеров в одном разряде позволяет поразрядно продвигать информацию в регистре от входа к выходу. Если бы в регистре были применены одноступенча-

тые триггеры по одному на разряд, то правило работы регистра было бы нарушено: при первом же импульсе сдвига информация, записавшись в первый разряд, перешла бы во второй, затем в третий и т.д.

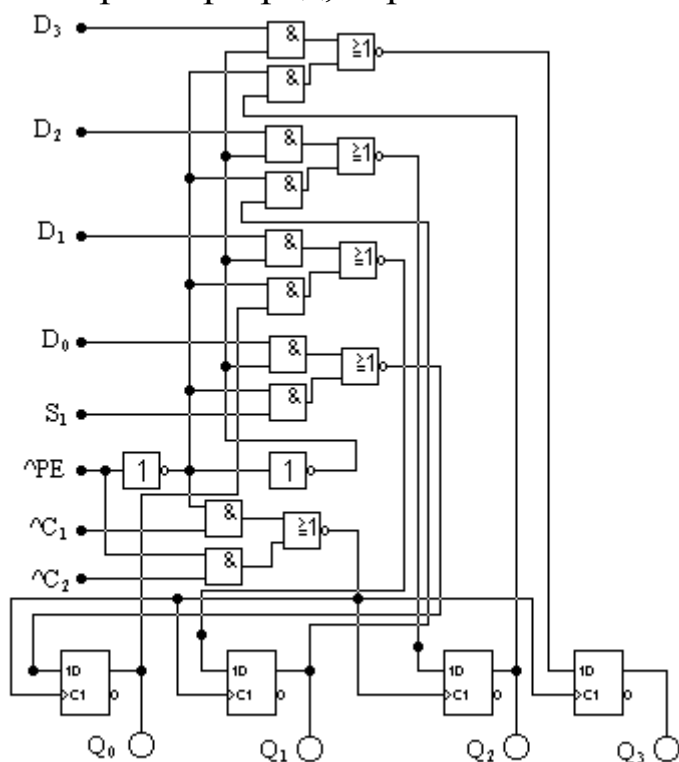


Рис.3. Схема четырёхразрядного сдвигового регистра К155ИР1

Реверсивные регистры сдвига объединяют в себе свойства регистров прямого и обратного сдвига. Строятся они по тем же схемотехническим принципам, что и рассмотренные регистры, но с использованием дополнительных логических элементов в межразрядных связях. Указанная особенность реверсивного регистра показана на примере i -разряда (рис. 2), состоящего из D-триггера и

логической схемы, на входы которой поданы: Q_{i-1} -сигнал с выхода младшего разряда, Q_{i+1} -сигнал с выхода старшего разряда, V -сигнал управления направлением сдвига: $V=1$ –вправо, $V=0$ –влево.

Существуют многорежимные регистры. Их входные и выходные линии данных объединены и образуют так называемый порт данных. Это означает, что от шины данных процессора приходит один провод (а не два), который по команде служит или входным или выходным. Число сигнальных входов и выходов микросхемы за счёт портовой организации можно уменьшить в два раза.

Подробное рассмотрение регистров проведём на примере микросхемы К155ИР1 – четырёхразрядный сдвиговый регистр, принципиальная схема которого приведена на рис.3. Он имеет последовательный вход данных S_1 , четыре параллельных входа $D_0 - D_3$, а также четыре выхода $Q_0 - Q_3$ от каждого из триггеров. Регистр имеет два тактового входа \hat{C}_1 и \hat{C}_2 . От любого из пяти входов данных код поступит на выходы синхронно с отрицательным перепадом, поданным на выбранный тактовый вход.

Вход разрешения параллельной загрузки $\overset{\wedge}{PE}$ служит для выбора режима работы регистра. Если на вход $\overset{\wedge}{PE}$ даётся напряжение высо-

кого уровня, разрешается работа тактовому входу $\wedge C_2$. В момент прихода на этот вход отрицательного перепада тактового импульса в регистр загружаются данные от параллельных входов D_0 - D_3 .

Если на вход $\wedge PE$ подано напряжение низкого уровня, разрешается работа тактовому входу $\wedge C_1$. Отрицательные фронты последовательности тактовых импульсов сдвигают данные от последовательного входа S_1 на выход Q_0 , затем на Q_1 , Q_2 и Q_3 , т.е. вправо. Сдвиг данных по регистру влево получится, если соединить выход Q_3 и вход D_2 , выход Q_2 и вход D_1 , Q_1 и D_0 по схеме рис. 2. Регистр можно перевести в параллельный режим, подав на вход $\wedge PE$ напряжение высокого уровня. Напряжение на входе $\wedge PE$ можно менять только, если на обоих тактовых входах уровни низкие. Однако если на входе $\wedge C_1$ напряжение низкого уровня, перемена сигнала на входе $\wedge PE$ от низкого уровня к высокому не меняет состояния выходов.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

2.1. Запустите программу моделирования электронных схем **Multisim_10**.

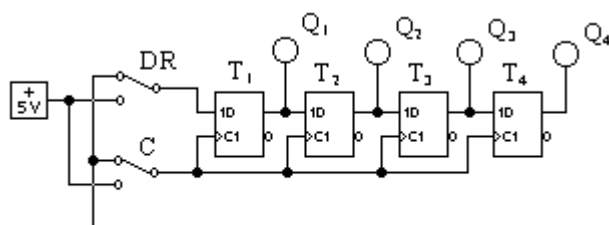


Рис.4. Сдвигающий регистр на D-триггерах

2.2. Соберите схему простейшего сдвигающего регистра на D-триггерах по рис. 4, воспользуясь триггерами из контейнера **Sequential**.

Спланируйте эксперимент и постройте временные диаграммы

$$Q_i = f(D, R, C).$$

2.3. Соберите схему для исследования универсального регистра по рис. 5. Для этого используется интегральная микросхема 74198 – восьмибитовый регистр сдвига из контейнера **Sequential** в шаблоне **SHIFT REGS**.

На этом рисунке:

D_a, \dots, D_h - входы для параллельной записи в регистр байта $a b c d e f g h$;

Q_a, \dots, Q_h - выходы регистра;

C - вход синхронизации;

R - вход начальной установки всех разрядов в ноль;

DR , DL - входы для последовательного ввода информации слева и справа;

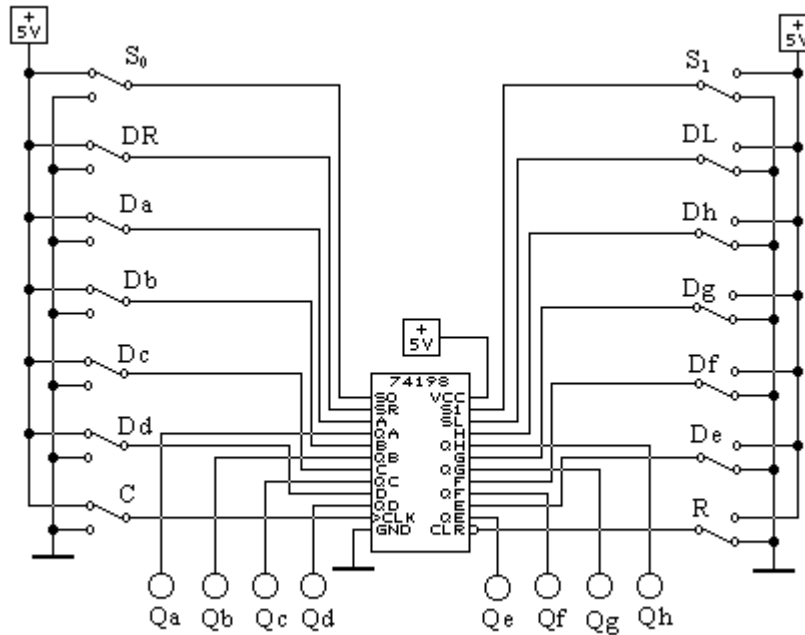


Рис.5. Схема для исследования универсального регистра

S_1 , S_0 - входы, задающие режим работы регистра: параллельная запись, хранение, сдвиги влево и вправо. Для данной схемы спланировать эксперимент и составить таблицу, описывающую поведение регистра при различных режимах (S_1 и S_0), различных значениях на входах регистра

(D_a, \dots, D_h , DR и DL). Определить в каких режимах на выполнение операции влияет C, какое действие оказывает R. Выясните необходимые состояния управляющих сигналов для реализации различных режимов работы регистра – запись, хранение, сдвиг влево, сдвиг вправо.

Для режимов сдвига вправо и влево построить временные диаграммы.

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать все схемы для исследования характеристик ИМС регистров. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое регистр, каково его назначение?
2. Что определяет разрядность записываемого в регистр числа?

Что такое быстродействие регистра?

3. Как реализуется преобразование параллельного кода записанного числа в последовательный код?

4. Как реализуется операция сдвига числа в регистре в ту или иную сторону?

5. Поясните по принципиальной схеме рис. 3 работу регистра К155ИР1.

ЛАБОРАТОРНАЯ РАБОТА № 4

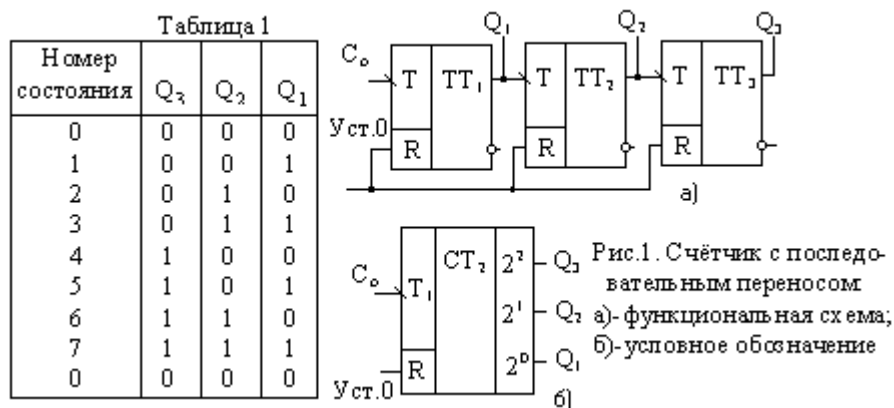
ИССЛЕДОВАНИЕ ЦИФРОВЫХ СЧЕТЧИКОВ С ПОСЛЕДОВАТЕЛЬНЫМ И ПАРАЛЛЕЛЬНЫМ ПЕРЕНОСОМ И ЗАДАНЫМ ПОРЯДКОМ СЧЕТА

Цель лабораторной работы: Получение навыков исследования цифровых счетчиков.

1. КРАТКАЯ ТЕОРИЯ

Цифровым счётчиком импульсов называют последовательный цифровой узел, который осуществляет счёт поступающих на его вход импульсов. Результат счёта формируется счётчиком в заданном коде и может храниться некоторое время.

Счётчики строят на Т-триггерах и TV-триггерах с применением при необходимости логических элементов в цепях межразрядных связей. Количество триггеров N должно быть таким, чтобы множество внутренних состояний счётчика 2^N было не меньше максимального числа импульсов, которое должно быть посчитано. С приходом очередного счётного импульса изменяется состояние счётчика, кото-



рое в заданном коде отображает результат счёта. Если количество счётных импульсов не ограничивать, то счётчик будет работать в режиме деления их числа на коэффициент (модуль) счёта $K_{сч}$, равный 2^N . Через каждые 2^N импульсов он будет возвращаться в начальное состояние и снова считать импульсы. Если необходимый коэффициент счёта не равен 2^N , применяют различные способы сокращения числа внутренних состояний счётчика.

Счётчики можно классифицировать по ряду признаков. По направлению счёта их делят на суммирующие (с прямым счётом), вычитающие (с обратным счётом) и реверсивные. По способу организации переноса различают счётчики с последовательным, параллельным и комбинированным (параллельно-последовательным) переносом.

Рассмотрим пример реализации трёхразрядного суммирующего счётчика в коде 4-2-1 с последовательным переносом. Порядок смены состояний счётчика задан табл.1. Как следует из таблицы, с приходом очередного счётного импульса к содержимому счётчика прибавляется единица. При этом увеличивается на единицу номер состояния, являющийся десятичным эквивалентом соответствующего данному состоянию двоичного числа.

Изменение состояния каждого последующего разряда происходит при изменении состояния предыдущего разряда от 1 к 0. Это означает, что всякий раз, когда данный триггер в счётчике переходит из состояния 1 в состояние 0, на его выходе должен формироваться сигнал переноса, вызывающий срабатывание следующего триггера. Если же данный триггер переходит из 0 в 1, то сигнала переноса на его выходе не должно быть. Из табл. 1 также следует, что триггер первого, самого младшего разряда, должен менять своё состояние каждый раз с приходом очередного счётного импульса, а триггер каждого последующего разряда – вдвое реже триггера предыдущего разряда.

Описанные порядок смены состояний счётчика и характер процесса их установления могут быть реализованы, если счётчик будет построен на последовательно соединённых Т-триггерах. Каждый последующий разряд при этом будет переключаться сигналом переноса, формируемым на выходе предыдущего разряда. Счётные импульсы должны быть поданы на вход триггера самого младшего разряда. Счётчики, построенные таким образом, получили название счётчиков с последовательным переносом. Пример трёхразрядного счётчика на Т-триггерах двухступенчатой структуры приведён на рис. 1. Для установки исходного состояния служит шина «Уст.0», которой объединены R-входы всех триггеров. Нулевое состояние триггеров устанавливается подаваемым по этой шине положительным импульсом напряжения между уровнями 0 и 1. На левом поле условного графического обозначения счётчика (рис. 1,б) показано, что его входом яв-

ляется T_1 -вход первого разряда, а на правом поле указан «вес» каждого разряда.

Вычитающий счётчик с последовательным переносом имеет обратный порядок смены состояний: с приходом очередного счётного импульса содержащееся в счётчике число уменьшается на единицу (табл. 2). Другая особенность вычитающего счётчика – триггер каждого последующего разряда переключается в противоположное состояние при изменении уровня на выходе триггера предыдущего разряда от 0 к 1, т.е. при сигнале займа, обратном сигналу переноса в суммирующем счётчике. Строится вычитающий счётчик так же, как суммирующий, но с тем отличием, что со входом каждого последующего триггера в отличие от рис.1 соединяется инверсный выход предыдущего триггера.

Из работы трёхразрядного счётчика следует, что в наихудшем случае новое его состояние устанавливается с задержкой, равной утроенной задержке переключения одного триггера, что вызвано последовательным во времени распространением сигнала переноса через все разряды счётчика. Таким образом, в счётчике с последовательным переносом неэффективно используется быстродействие триггеров, особенно при большом числе разрядов. В этом состоит существенный недостаток счётчиков с последовательным переносом, из-за которого область их применения ограничивается цифровыми устройствами с небольшим числом разрядов и невысоким быстродействием.

Таблица 2

№ состояния	Q_3	Q_2	Q_1
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0
7	1	1	1

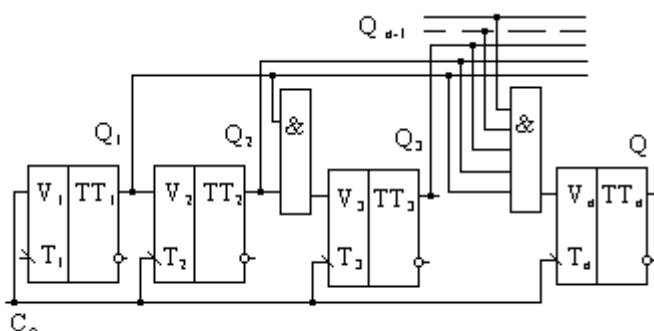


Рис.2. Счётчик с параллельным переносом

скорения переноса в нтов, с помощью ко- этого (параллельного) дов. Для реализации коды всех триггеров на V-вход каждого логической схем- ых имеется сигнал

переноса, одновременно переключаются с приходом очередного счётного импульса, и, таким образом, устанавливается новое состояние счётчика. Для определения вида цепи переноса обратимся к уже рассмотренной табл.1. Из неё следует, что первый разряд, как и в счётчике с последовательным переносом, должен быть построен на T-триггере. Если применяется TV –триггер, то его V-вход следует соединить с T-входом.

Второй триггер перебрасывается в противоположное состояние

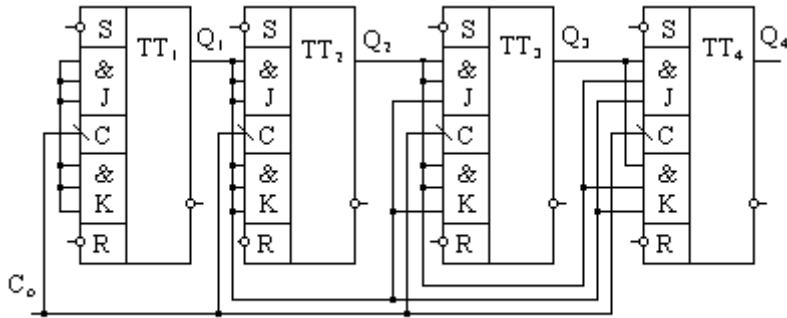


Рис.3. Счётчик на JK–триггерах с входной логикой

счётным импульсом при наличии 1 на выходе первого триггера, а третий триггер перебрасывается при наличии 1 на выходах двух предыдущих триггеров. Обобщая эту закономерность на случай N -разрядного счётчика получим, что каждый последующий триггер должен переключиться под воздействием счётного импульса при наличии 1 на выходах всех предыдущих триггеров. Следовательно, для формирования сигнала переноса в каждый разряд счётчика необходимо включить элемент И и соединить его входы с прямыми выходами всех предыдущих разрядов, а выход – с V -входом триггера данного разряда. Пример суммирующего счётчика с параллельным переносом на TV–триггерах приведён на рис.2. Быстродействие этого счётчика выше, чем счётчика с последовательным переносом, поскольку оно равно быстродействию переноса одного разряда. Недостаток – необходимость включения в схему элемента И с нарастающим от разряда к разряду числом входов. Это нарушает регулярность структуры и ограничивает возможность наращивания его схемы. Частично этот недостаток можно устранить при использовании триггеров с входной логикой.

Многие серии микросхем содержат JK–триггеры с входной логикой. Для преобразования JK-триггера в TV-триггер необходимо объединить входы J и K в один, это и будет V-вход. У триггера с тремя конъюнктивно связанными J-входами и тремя конъюнктивно связанными K-входами могут быть образованы, следовательно, три конъюнктивно связанные V-входа. При реализации счётчика на таких триггерах исключаются дополнительные логические элементы в цепях переноса. Однако ограничение в числе разрядов остаётся. На таких триггерах можно построить лишь четырёхразрядный счётчик (рис. 3).

Вычитающий счётчик с параллельным переносом строится так же, как и суммирующий, но сигналы переноса снимаются с инверсных относительно используемых в суммирующем счётчике выходов триггеров.

Реверсивный счётчик, объединяющий возможности суммирующего и вычитающего, строится таким образом, чтобы обеспечивалось управление направлением счёта с помощью сигналов разрешения на реализацию операций сложения C_c и вычитания C_b . Поэтому его схема содержит дополнительную комбинационную часть, выполняющую указанную функцию.

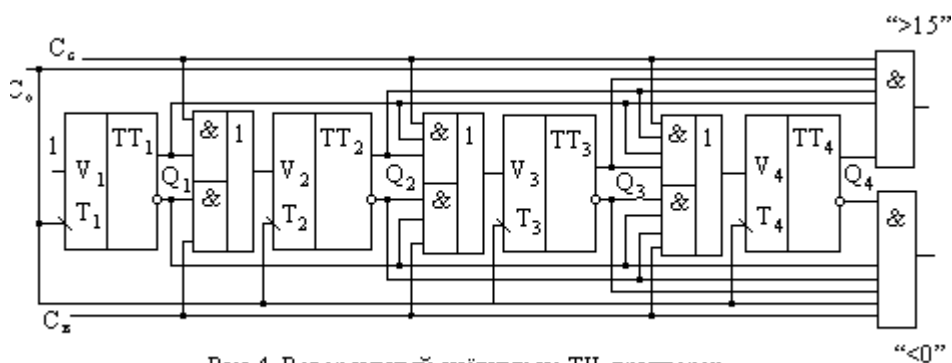


Рис.4. Реверсивный счётчик на TV-триггерах

Нередко счётчики с параллельным переносом, выпускаемые в виде микросхем, имеют помимо основных выходов – дополнительные, как это показано, например, на рис. 4. На одном из выходов, обозначенном «>15», сигнал 1 появляется при заполнении счётчика единицами, т.е. когда он перешёл в состояние с номером 15. Следовательно, на этом выходе формируется сигнал переноса в следующий счётчик. На другом выходе, обозначенном «< 0», сигнал появляется при заполнении счётчика нулями и является сигналом займа в следующий счётчик в режиме вычитания.

Реверсивный счётчик можно построить и на Т-триггерах (рис. 5). Как и в рассмотренном ранее суммирующем счётчике, счётные импульсы поступают на Т-вход триггера через логические элементы только в том случае, если на логических элементах имеются сигналы разрешения с выходов предыдущих разрядов.

В счётчике на рис. 5,а для счётных импульсов предусмотрены два входа. Если счётчик должен работать в режиме прямого счёта, импульсы следует подавать на вход «+1», в режиме обратного счёта – на вход «-1». При использовании такого счётчика в качестве реверсивного с одним источником импульсов необходимо предусмотреть внешнее устройство коммутации счётных импульсов на

суммирующий «+1» либо на вычитающий «-1» входы. Вариант такой коммутирующей приставки к счётчику приведён на рис. 5,б. При подаче положительных импульсов на S-вход RS-триггера на его прямом выходе установится единичный уровень, который откроет элемент 1 для счётных импульсов C_0 . Счётчик будет работать в режиме сложения. Если подать положительный импульс на R-вход триггера, откроется для счётных импульсов элемент 2, и счётчик будет работать в режиме вычитания.

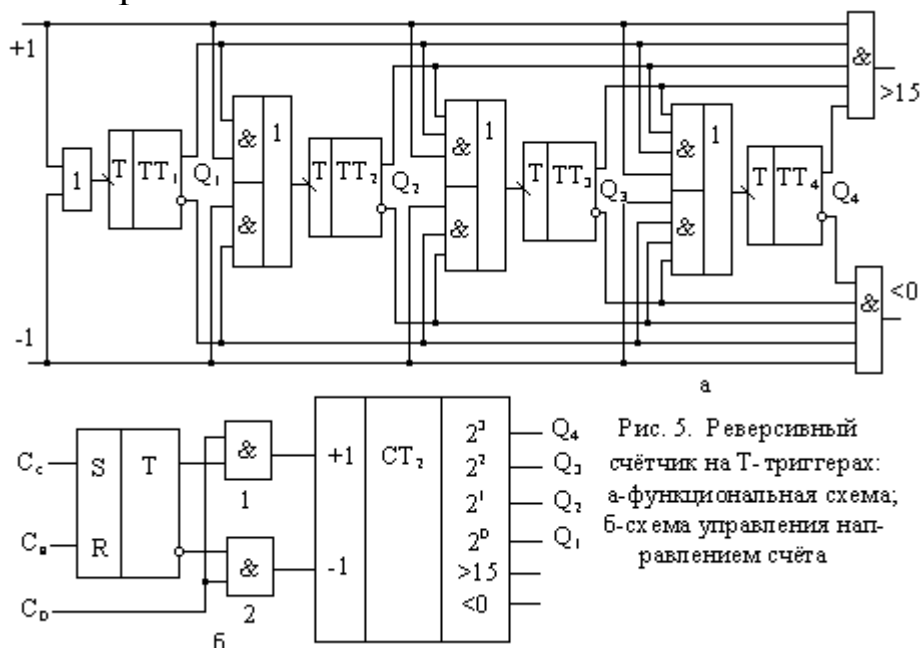


Рис. 5. Реверсивный счётчик на Т-триггерах: а-функциональная схема; б-схема управления направлением счёта

2. МЕТОДИКА ВЫПОЛНЕНИЯ

2.1. Запустите программу моделирования электронных схем **Multisim_10**.

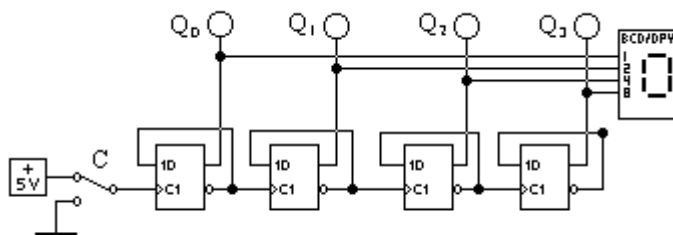


Рис.6. Суммирующий счётчик с последовательным переносом

2.2. Соберите схему простейшего суммирующего счётчика с последовательным переносом по рис. 6. Для этого следует воспользоваться син-

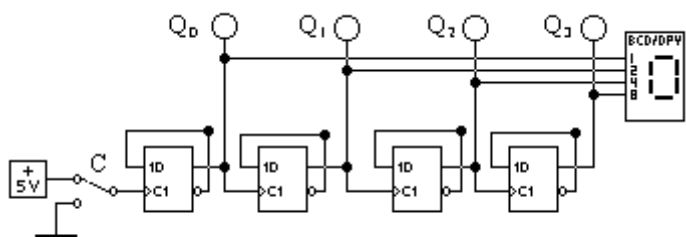


Рис.7. Вычитающий счётчик с последовательным переносом

хронизируемыми положительным фронтом D-триггерами из контейнера

Sequential. Для индикации состояния счётчика в виде десятичного числа используется семисегментный индикатор из контейнера **Indicators**. Спланируйте эксперимент и постройте временные диаграммы $Q_i = f(C)$ для этой схемы.

2.3. Соберите схему простейшего вычитающего счётчика (рис. 7), отличие которого от схемы на рис. 6 в том, что входы синхронизации С1 у 2-го, 3-го и 4-го триггеров соединены не с инверсными, а с прямыми выходами 1-го, 2-го и 3-го триггеров. Спланируйте эксперимент и постройте временные диаграммы $Q_i = f(C)$ для этой схемы.

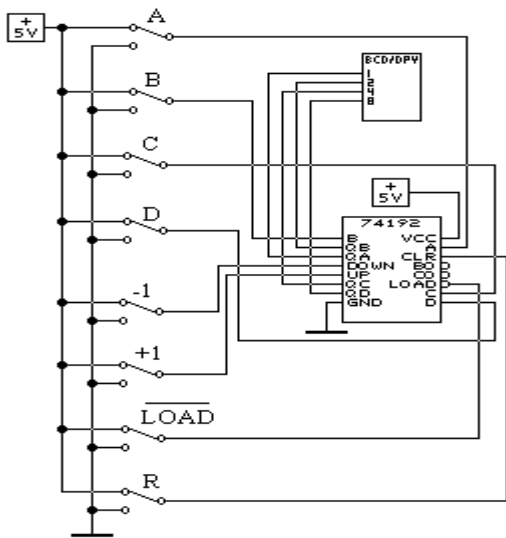


Рис.8. Исследование универсального двоично-десятичного счётчика

2.3. На рис. 8 приведена схема для исследования универсального двоично-десятичного счётчика. Соберите эту схему, используя счётчик **74192 (4-Bit Up/ Down Counter)** из контейнера **Sequential** в шаблоне **COUNTERS**. Для индикации состояния счётчика в виде десятичного числа используется семи-сегментный индикатор из контейнера **Indicators**.

Спланируйте эксперимент и постройте временные диаграммы для различных режимов работы этого счётчика: установка в 0–(R), параллельная запись -(Load), +1 и –1. Постройте графы переходов для счётчика, установленного в начальные состояния 10–(A), 11–(B), 12–(C), 13–(D), 14–(E), 15–(F) при сигналах +1 и –1.

На рис. 8 использованы обозначения:

DCBA – входы для параллельной записи в счётчик двоичного числа ;
Load – (инверсный сигнал) – синхронизация параллельной записи числа в счётчик;

R – установка счётчика в состояние 0000;

+1 – прибавление к содержимому счётчика единицы (положительный фронт);

-1 – вычитание из содержимого счётчика единицы (положительный фронт).

2.4. Получите у преподавателя задание на проектирование счётчика с параллельным переносом на D–триггерах и нетрадиционным порядком счёта:

1 вариант: счёт – 1,3,7,4,0; 2 вариант: счёт – 0,3,6,4,0;
3 вариант: счёт – 1,3,7,4,8; 4 вариант: счёт – 7,5,3,1,0;
5 вариант: счёт – 0,3,1,4,2; 6 вариант: счёт – 5,7,3,2,0;
7 вариант: счёт – 3,2,1,5,7; 8 вариант: счёт – 2,3,4,1,5.

Соберите схему спроектированного счётчика и исследуйте её на соответствие вашему варианту задания. Постройте граф переходов.

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать все схемы для исследования двоичных счетчиков. Синтезировать счетчик с параллельным переносом согласно индивидуального задания, приведенного в п.2. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Поясните принципы построения суммирующего и вычитающего счётчиков по табл. 1 и 2.
2. Как реализуется параллельное формирование сигнала переноса во всех разрядах счётчика?
3. Поясните построение и работу реверсивного счётчика.
4. Как функционируют выходы “>15” и “<0” реверсивного счётчика, каково их практическое применение?

ЛАБОРАТОРНАЯ РАБОТА № 5

ИССЛЕДОВАНИЕ СХЕМ СУММАТОРОВ И АЛУ

Цель лабораторной работы: Получение навыков исследования ИМС сумматоров и АЛУ.

1. КРАТКАЯ ТЕОРИЯ

Сумматор по модулю 2 – цифровой узел с m входами и одним выходом, работающий в соответствии со следующим правилом: сигнал 1 появляется на его выходе всякий раз, когда в наборе входных сигналов содержится нечётное число 1. Поэтому этот узел ещё называют схемой проверки на чётность. В частном случае при числе входов равном 2, сумматор по модулю 2 выполняет функцию логического

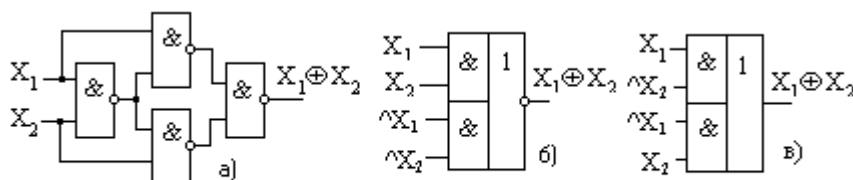


Рис.1. Сумматор по модулю 2: а) - функциональная схема на элементах И-НЕ; б) - на элементах И-ИЛИ-НЕ; в) - на элементах И-ИЛИ

элемента «Исключающее ИЛИ»: на выходе 1 будет только при 1 на одном из входов. Функциональные схемы двухвходовых сумматоров по модулю 2 приведены на рис. 1. Реализуемая здесь логическая функция $\Sigma = A \oplus B \vee \bar{A} \bar{B}$, где символ $\bar{}$ есть признак инверсии.

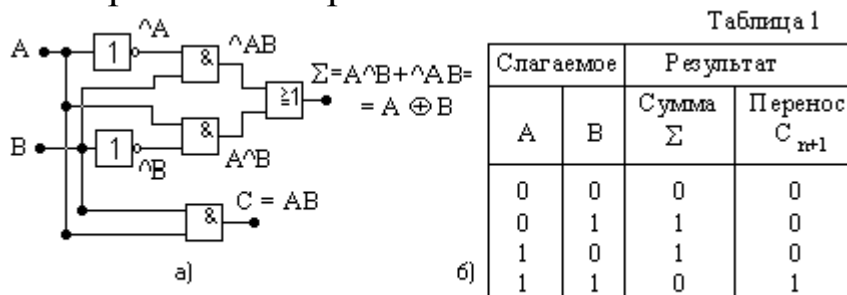


Рис.2. Полусумматор (а) и таблица его состояний (б)

При суммировании двух одноразрядных чисел имеем: $0+0=0$, $1+0=1$, $0+1=1$ и $1+1=10$. В последнем случае число 10 (в десятичной записи это 2) оказалось двоичным двухразрядным. Появившаяся в старшем разряде суммы единица называется единицей переноса.

К схеме «Исключающее ИЛИ» несложно добавить выход переноса, т. е. генератор старшего разряда. Для этого оба суммируемых одноразрядных числа следует подать на схему И, выход которой даст необходимый старший разряд переноса $1*1=1$. На рис. 2,а показана реализация схемы суммирования двух одноразрядных чисел, состоящая из элементов «Исключающее ИЛИ» и «И». Схема имеет два выходных сигнала: суммы Σ и переноса C . Такая схема называется полусумматором. Таблица состояний полусумматора показана на рис. 2,б.

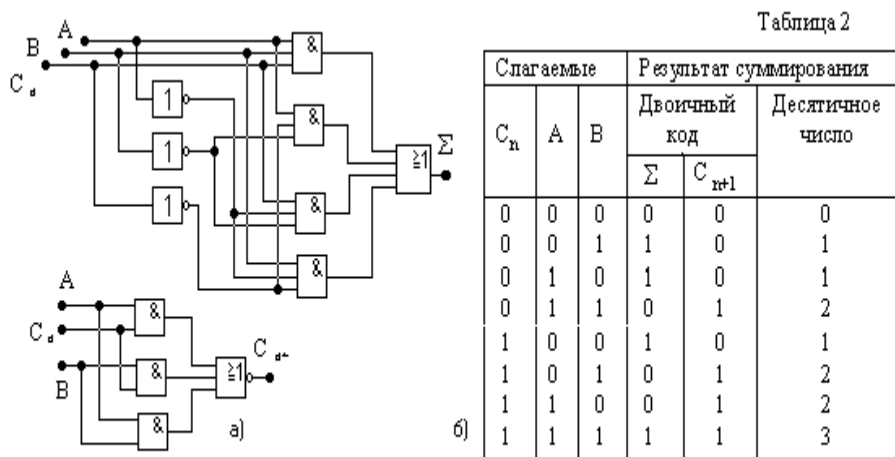


Рис. 3. Полный сумматор (а) и таблица его состояний (б)

Полный сумматор должен иметь вход для сигнала переноса C_n от соседнего младшего разряда. Схема полного сумматора двух одноразрядных слов показана на рис. 3,а, а таблица истинности – на рис. 3,б. В последнем столбце таблицы результаты суммирования даны в десятичной форме. В присутствии входной единицы переноса C_n сумма чисел A и B увеличивается на единицу.

Полные сумматоры многоразрядных чисел составляются из одноразрядных и могут складывать многоразрядные числа с двумя способами переноса: параллельным или последовательным. При параллельном переносе реализуется одновременное поразрядное сложение слов, при последовательном переносе - формирование сигналов переноса для старших разрядов происходит после выполнения операции сложения в младших разрядах. Поэтому время выполнения операции сложения N-разрядных чисел равно $N \cdot T_3$, где T_3 – задержка на одном одноразрядном сумматоре.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

2.1. Запустите программу моделирования электронных схем **Multisim_10**.

2.2. Соберите схему одноразрядного сумматора по рис. 4,а, экспериментально получите таблицы истинности для суммы S_i и переноса P_i . Создайте из схемы рис. 4,а подсхему *sm* одноразрядного сумматора по рис. 4,б.

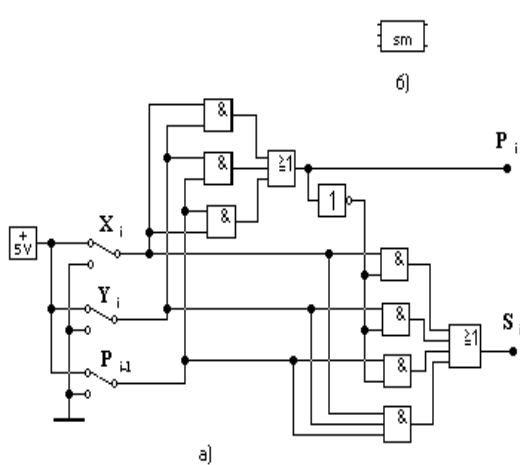


Рис.4. Одноразрядный сумматор: а) – функциональная схема; б) - подсхема

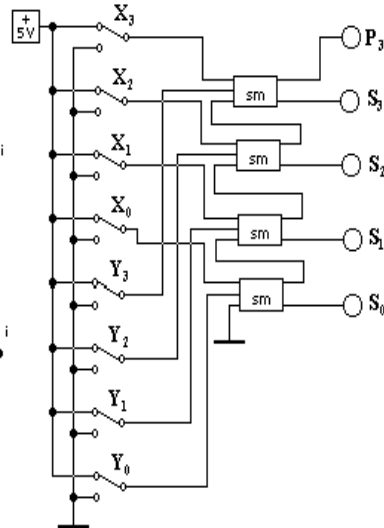


Рис.5. Четырёхразрядный сумматор

2.3. Соберите схему четырёхразрядного сумматора по рис.5 на базе подсхемы *sm* и исследуйте его работу при различных значениях двоичных чисел X и Y . Результаты оформите в виде табл. 3.

2.4. Соберите схему для исследования работы арифметико-логического устройства АЛУ по рис. 6. Для этого следует выбрать из контейнера **Combinational** (шаблон **ARITHMETIC**) микросхему **74181 ALU** -арифметико-логическое устройство. Это АЛУ выполняет поразрядные логические операции (при $M=1$) над четырёхразрядными словами A и B , а так же арифметические операции (при $M=0$). На результат логических операций не оказывает влияния значение P_0 – перенос от младших разрядов. Код выполняемой операции задаётся значениями $S_3S_2S_1S_0$.

Обратите внимание на то, что входы АЛУ для операндов A и B – инверсные. Поэтому на переключателях A_i, B_i значению логической единицы в АЛУ соответствуют верхние положения ключей. Выходы $F_3F_2F_1F_0$ - так же инверсные. Для удобства исследования АЛУ выходы подключены к индикаторам через инверторы.

По клавише «F1» можно раскрыть таблицу истинности для АЛУ. В этой табл. 4 все выражения записаны для прямых значений

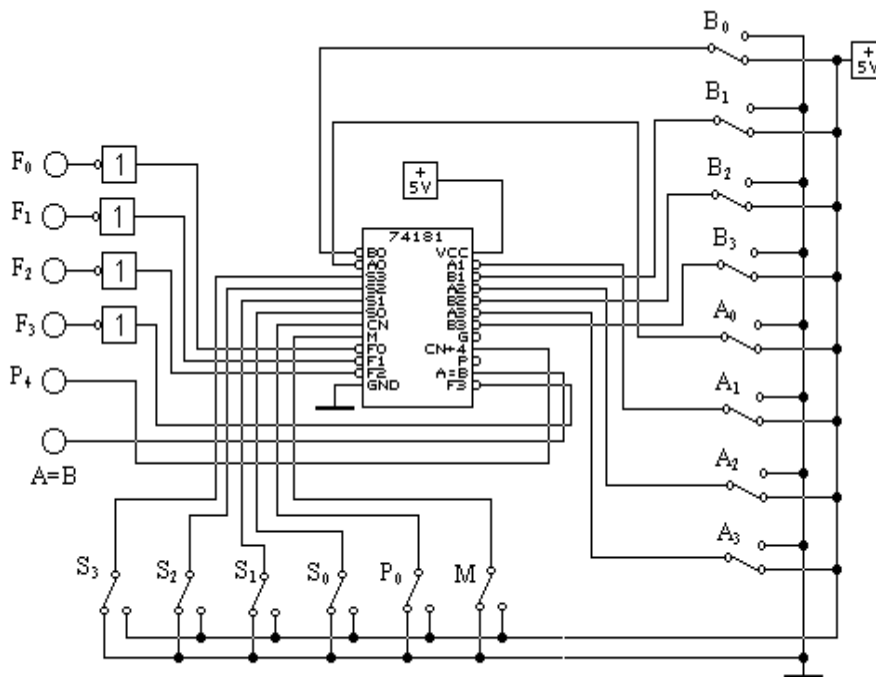


Рис.6. Схема для исследования арифметико-логического устройства

операндов A, B и результата F. В столбце «**LOGIC FUNCTION**» символом «+» обозначена поразрядная логическая операция «ИЛИ», символом «+» обозначена поразрядная логическая операция «ИСКЛЮЧАЮЩЕЕ ИЛИ». В столбцах «**ARITHMETIC OPERATIONS**» словами «**PLUS**» и «**MINUS**» обозначены соответствующие арифметические операции. Символами «H», «L» в табл. 4 обозначены логические «1» и «0».

2.5. Задайте M=1. Из имеющихся 16 логических операций проверьте правильность реализации любых 4 для двух произвольных комбинаций операндов A и B в каждой из них. Из восьми наборов операндов A и B в двух случаях эти операнды должны совпадать для проверки истинности сигнала A=B на выходе АЛУ. Составьте табл. 5 результатов проверки, в которой укажите теоретические значения выходных величин для заданной логической функции и их экспериментальные значения. Сделайте вывод.

2.6. Задайте M=0 при отсутствии переноса (P₀=0). Затем повторите действия п. 2.5. для проверки реализации арифметических операций, сведя результаты в табл. 6. Сделайте вывод.

2.7. Задайте M=1 при наличии переноса (P₀=1). Затем повторите действия п. 2.5. для проверки реализации арифметических операций, сведя результаты в табл. 7. Сделайте вывод.

Таблица 4

Selection S3 S2 S1 S0	M = H LOGIC FUNCTIONS	M = L Arithmetic Operations	
		Cn = L (no carry)	Cn = H (with carry)
0 0 0 0	$F = \bar{A}$	F = A MINUS 1	F = A
0 0 0 1	$F = \overline{(AB)}$	F = AB MINUS 1	F = AB
0 0 1 0	$F = \bar{A} + B$	F = $A \wedge B$ MINUS 1	F = $A \wedge B$
0 0 1 1	F = 1	F = MINUS 1 (2's comp)	F = Zero
0 1 0 0	$F = \overline{(A+B)}$	F = A PLUS (A+ \bar{B})	F = A PLUS (A+ \bar{B}) PLUS 1
0 1 0 1	$F = \bar{A}B$	F = AB PLUS (A+ \bar{B})	F = AB PLUS (A+ \bar{B}) PLUS 1
0 1 1 0	$F = \overline{(A''+''B)}$	F = A MINUS B MINUS 1	F = A MINUS B
0 1 1 1	$F = A + \bar{B}$	F = A + \bar{B}	F = (A+ \bar{B}) PLUS 1
1 0 0 0	$F = \bar{A}B$	F = A PLUS (A+B)	F = A PLUS (A+B) PLUS 1
1 0 0 1	$F = A''+''B$	F = A PLUS B	F = A PLUS B PLUS 1
1 0 1 0	F = B	F = $A \wedge B$ PLUS (A+B)	F = AB PLUS (A+B) PLUS 1
1 0 1 1	F = A + B	F = (A+B)	F = (A+B) PLUS 1
1 1 0 0	F = 0	F = A PLUS A	F = A PLUS A PLUS 1
1 1 0 1	$F = A \wedge B$	F = AB PLUS A	F = AB PLUS A PLUS 1
1 1 1 0	F = AB	F = $A \wedge B$ PLUS A	F = $A \wedge B$ PLUS A PLUS 1
1 1 1 1	F = A	F = A	F = A PLUS 1

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать схемы для исследования сумматоров и АЛУ. Для заданных преподавателем значений операндов получить теоретически и проверить на модели результаты выполнения арифметических и логических операций на АЛУ. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Поясните работу схем сумматоров по модулю 2 на рис. 1.
2. Опишите работу схемы полусумматора и таблицы его состояний по рис. 2.
3. Поясните работу схемы полного сумматора и таблицу его истинности по рис. 3.
4. Опишите работу функциональных схем по рис. 4 и рис. 5.

ЛАБОРАТОРНАЯ РАБОТА № 7

ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ И ИХ ИСПОЛЬЗОВАНИЕ ДЛЯ РЕАЛИЗАЦИИ БУЛЕВЫХ ФУНКЦИЙ

Цель лабораторной работы: Получение навыков исследования ИМС мультиплексоров и их использования для реализации булевых функций.

1. КРАТКАЯ ТЕОРИЯ

В цифровых устройствах часто возникает задача передачи цифровой информации от различных источников к одному приёмнику. Для этого на входе канала устанавливается устройство, называемое мультиплексором (переключателем MS), которое согласно коду адреса подключает к выходу один из источников информации. Например, из четырёх источников D0, D1, D2 и D3, которые подключены к информационным входам мультиплексора, необходимо выбрать один. Для этого должен быть указан номер информационного входа. Обычно он задаётся двоичным кодом на управляющих входах мультиплексора. Для MS с двумя информационными входами достаточно одного управляющего входа X0, для MS с четырьмя информационными входами – достаточно двух - X1 и X0 и т.д. Булева функция, описывающая MS с четырьмя информационными входами, имеет вид: $Y = D0 \wedge X1 \wedge X0 \vee D1 \wedge X1 X0 \vee D2 X1 \wedge X0 \vee D3 X1 X0$, ... (1), где Y – значение логического сигнала на выходе MS;

D0, D1, D2 и D3 – значения логических сигналов на информационных входах MS;

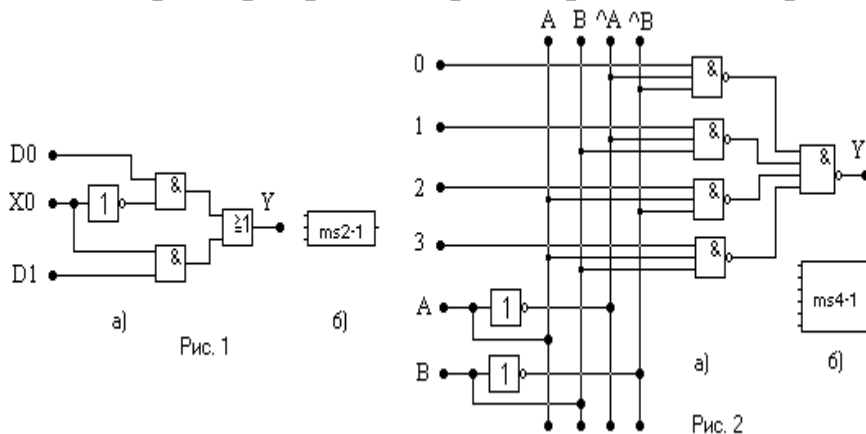
X1, X0 – управляющие переменные, задающие номер информационного входа MS.

Аналогичный вид имеют выражения для MS с 2-мя, 8-ю и т.д. информационными входами. Обычно мультиплексоры обозначаются так: MS 2-1 – мультиплексор с двумя информационными входами на один выход; MS 8-1 – мультиплексор с восемью информационными входами на один выход и т.п. Мультиплексоры могут быть собраны из простейших логических элементов И, ИЛИ, НЕ или могут использоваться готовые MS в виде ИМС.

Схема MS 2-1, собранная из простейших логических элементов, приведена на рис. 1,а. Здесь же изображён вид субсхемы ms2-1 (рис. 1,б).

Схема MS4-1, собранная на базе простейших логических элементов, приведена на рис. 2,а. Здесь же показана субсхема ms4-1(рис. 2,б). Информационные входы обозначены как 0,1,2 и 3, а управляющие – А,В.

Другая сфера применения мультиплексоров – построение логических функций нескольких переменных в виде дизъюнктивной нормальной формы. Это применение основано на разложении булевой функции по 1-ой, 2-ум и т.д. переменным по методу Шеннона. В качестве примера рассмотрим применение разложения Шеннона для



реализации одной и той же булевой функции $Y=U(0,1,2,3,4, 8,12,13,15)$ от четырёх переменных А,В,С,Д с помощью мультиплексоров различного типа. Числа в скобках для функции U указывают те строки таблицы истинности, в которых Y принимает значения, равные 1. В СДНФ (совершенной дизъюнктивной нормальной форме) эта булева функция имеет вид:

$$Y = \bar{A} \wedge \bar{B} \wedge C \wedge D \vee \bar{A} \wedge \bar{B} \wedge C \wedge \bar{D} \vee \bar{A} \wedge \bar{B} \wedge C \wedge D \vee \bar{A} \wedge \bar{B} \wedge C \wedge \bar{D} \vee \bar{A} \wedge B \wedge C \wedge \bar{D} \vee A \wedge \bar{B} \wedge C \wedge \bar{D} \vee A \wedge B \wedge C \wedge \bar{D} \vee A \wedge B \wedge C \wedge D, \dots (2)$$

где знак «*» означает операцию логического умножения.

Для построения комбинационной схемы, реализующей функцию(2) на базе мультиплексоров MS 2-1, разложим функцию по одной переменной, начиная, например, с переменной старшего разряда - А. Сгруппируем в выражении (2) члены, содержащие переменные А и \bar{A} . Получим:

$$Y = \bar{A} * (\bar{B} \wedge C \wedge D \vee \bar{B} \wedge C \wedge \bar{D} \vee B \wedge C \wedge D \vee B \wedge C \wedge \bar{D}) \vee A * (\bar{B} \wedge C \wedge \bar{D} \vee B \wedge C \wedge \bar{D} \vee B \wedge C \wedge D) = \bar{A} * f_1 \vee A * f_2, \dots (3)$$

где функции $f_1 = \bar{B} \cdot \bar{A} \cdot \bar{D} \vee \bar{B} \cdot \bar{A} \cdot D \vee \bar{B} \cdot C \cdot \bar{D} \vee \bar{B} \cdot C \cdot D \vee B \cdot \bar{A} \cdot \bar{D}$;

$$f_2 = \bar{B} \cdot \bar{A} \cdot \bar{C} \cdot \bar{D} \vee B \cdot \bar{A} \cdot \bar{C} \cdot \bar{D} \vee B \cdot \bar{A} \cdot C \cdot \bar{D} \vee B \cdot \bar{A} \cdot C \cdot D.$$

Аналогично разложим функции f_1 и f_2 по переменным C, \bar{C} и D, \bar{D} соответственно:

$$f_1 = \bar{A} \cdot C \cdot (\bar{B} \cdot \bar{D} \vee \bar{B} \cdot D \vee B \cdot \bar{D}) \vee \bar{A} \cdot C \cdot (\bar{B} \cdot \bar{D} \vee \bar{B} \cdot D) = \bar{A} \cdot C \cdot (\bar{B} \cdot (\bar{D} \vee D) \vee B \cdot \bar{D}) \vee \bar{A} \cdot C \cdot (\bar{B} \cdot (\bar{D} \vee D)) = \bar{A} \cdot C \cdot (\bar{B} \cdot 1 \vee B \cdot \bar{D}) \vee \bar{A} \cdot C \cdot \bar{B}; \dots (4)$$

$$f_2 = \bar{D} \cdot (\bar{B} \cdot \bar{A} \cdot C \vee B \cdot \bar{A} \cdot C) \vee D \cdot (B \cdot \bar{A} \cdot C \vee B \cdot \bar{A} \cdot C) = \bar{D} \cdot \bar{A} \cdot C \vee D \cdot \bar{A} \cdot C. \dots (5)$$

Выражения (3), (4) и (5) позволяют построить принципиальную схему комбинационного устройства на MS2-1 для функции (2) - рис. 3. Схема содержит четыре мультиплектора MS2-1. Первый реализует зависимость (3), второй и четвертый реализуют функцию f_1 , а третий мультиплексор - функцию f_2 .

При построении комбинационного устройства для реализации функции (2) на базе MS4-1 в исходной функции сгруппируем члены, вынося за знак скобок произведение двух переменных, (например A и B), следующим образом:

$$Y = \bar{A} \cdot \bar{B} \cdot (\bar{C} \cdot \bar{D} \vee \bar{C} \cdot D \vee C \cdot \bar{D} \vee C \cdot D) \vee \bar{A} \cdot B \cdot (\bar{C} \cdot \bar{D}) \vee A \cdot \bar{B} \cdot (\bar{C} \cdot \bar{D}) \vee A \cdot B \cdot (\bar{C} \cdot \bar{D} \vee \bar{C} \cdot D \vee C \cdot \bar{D}) =$$

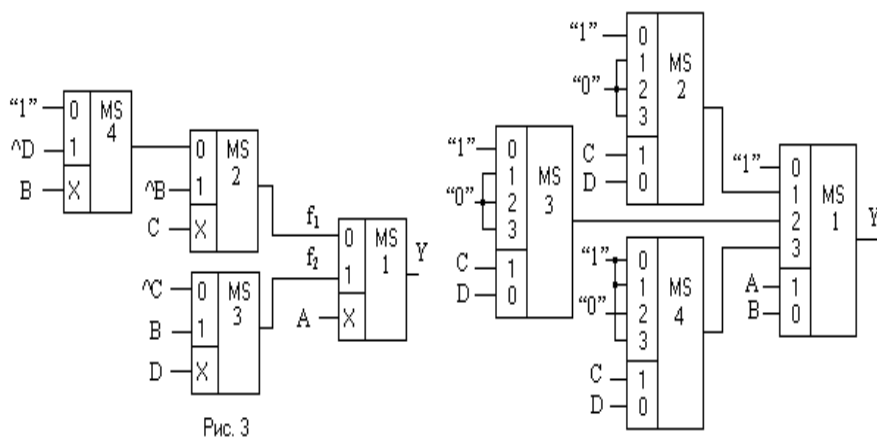


Рис. 3

Рис. 4

$$= \bar{A} \cdot \bar{B} \cdot 1 \vee \bar{A} \cdot B \cdot (\bar{C} \cdot \bar{D}) \vee A \cdot \bar{B} \cdot (\bar{C} \cdot \bar{D}) \vee A \cdot B \cdot (\bar{C} \cdot \bar{D} \vee \bar{C} \cdot D \vee C \cdot \bar{D}). \dots (6)$$

Полученное выражение позволяет составить принципиальную схему комбинационного устройства для этого случая - рис. 4. На информационные входы MS1 (в соответствии с их адресом, определяемым переменными A и B) подаются соответствующие функции (в скобках). Адрес $\bar{A} \cdot \bar{B}$ определяет нулевой информационный вход, поэтому сюда подводится логическая 1 (в соответствии с выражением для первого термина функции (6)). Адрес $\bar{A} \cdot B$ определяет первый

информационный вход, поэтому к нему подключён выход MS2, реализующего зависимость $(\bar{C} \cdot \bar{D})$. Адрес $A \cdot \bar{B}$ определяет второй информационный вход MS1, к которому подведён выход MS3, реализующего зависимость $(\bar{C} \cdot \bar{D})$. Адрес $A \cdot B$ определяет третий информационный вход MS1, на который подаётся сигнал с выхода MS4, реализующего зависимость $(\bar{C} \cdot \bar{D} \vee \bar{C} \cdot D \vee C \cdot D)$.

Рассмотрим построение комбинационной схемы на базе мультиплексора MS8-1. Для этого функцию (2) необходимо разложить по трём переменным, например, по A, B, C, сочетания прямых или инверсных значений которых будут определять в мультиплексоре MS8-1 адреса определённых информационных входов. Сгруппируем в выражении (2) члены с одними и теми же адресами информационных входов, вынося их за скобки:

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot (\bar{D} \vee D) \vee \bar{A} \cdot \bar{B} \cdot C \cdot (\bar{D} \vee D) \vee \bar{A} \cdot B \cdot \bar{C} \cdot (\bar{D}) \vee \bar{A} \cdot B \cdot \bar{C} \cdot (D) \vee A \cdot \bar{B} \cdot \bar{C} \cdot (\bar{D} \vee D) \vee A \cdot B \cdot \bar{C} \cdot (D). \dots (7)$$

Здесь адрес $\bar{A} \cdot \bar{B} \cdot \bar{C}$ определяет информационный вход MS8-1 за номером 0; адрес $\bar{A} \cdot \bar{B} \cdot C$ определяет информационный вход MS8-1 за номером 1 и т.д.. Следует отметить, что в выражении (7) отсутствуют комбинации $\bar{A} \cdot B \cdot \bar{C}$ и $A \cdot \bar{B} \cdot \bar{C}$, определяющие третий и пятый информационные входы MS8-1. Выражения в круглых скобках (7) определяют подаваемый на данный вход сигнал. То есть сигнал на нулевой информационный вход $(\bar{D} \vee D) = 1$ обеспечивается подачей на него логической 1. Та же самая ситуация с первым информационным входом. На второй информационный вход с адресом $\bar{A} \cdot \bar{B} \cdot \bar{C}$ в соответствии с (7) необходимо подать сигнал (\bar{D}) . И так далее до входа с номером 7. На те адреса, которые отсутствуют в (7) – третий и пятый, необходимо подать логические 0. С учётом всех этих замечаний выражение (7) можно записать так:

$$Y = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot (1) \vee \bar{A} \cdot \bar{B} \cdot C \cdot (1) \vee \bar{A} \cdot B \cdot \bar{C} \cdot (\bar{D}) \vee \bar{A} \cdot B \cdot \bar{C} \cdot (0) \vee \bar{A} \cdot B \cdot \bar{C} \cdot (D) \vee A \cdot \bar{B} \cdot \bar{C} \cdot (0) \vee A \cdot B \cdot \bar{C} \cdot (1) \vee A \cdot B \cdot \bar{C} \cdot (D). \dots (8)$$

Порядок программирования MS8-1 для реализации функции (2) приведён в табл.1. На рис. 5 показана принципиальная схема реализации функции (2) на мультиплексоре MS8-1. Выбор адреса того или иного канала обеспечивается переменными A, B, C, подаваемыми на адресные входы 2, 1, 0. Соединение информационных входов с шинами “ \bar{D} ”, “D”, “1”, “0” выполнено по табл. 1.

Таблица 1

Адрес инф. входа		Подаваемое значение
Код	Номер	
$\overline{A}\overline{B}\overline{C}$	0	$(\overline{D}\vee D)=1$
$\overline{A}\overline{B}C$	1	$(\overline{D}\vee D)=1$
$\overline{A}B\overline{C}$	2	(\overline{D})
$\overline{A}BC$	3	(0)
$A\overline{B}\overline{C}$	4	(D)
$A\overline{B}C$	5	(0)
$AB\overline{C}$	6	$(\overline{D}\vee D)=1$
ABC	7	(D)

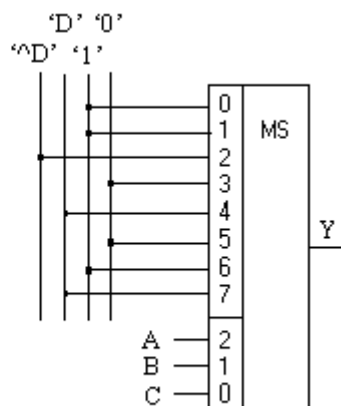


Рис. 5

В данной лабораторной работе для реализации функции на MS8-1 используются два MS4-1, которые выполнены в виде одной микросхемы **74153** (**2 4 -to -1 Data Selectors/Mux**) из контейнера **Combi-national** (шаблон **MUX**). Обозначения на корпусе для первого MS4-1: 1C0,1C1,1C2,1C3 – информационные входы ; 1Y- выход; A и B – входы сигналов управления. Для второго MS4-1: 2C0,2C1,2C2,2C3 – информационные входы; 2Y - выход; A и B – входы сигналов управления. Для объединения двух MS4-1 в один используются дополнительные входы 1G и 2G – разрешение работы 1-го и 2-го MS4-1. Для объединения 2-х MS4-1 в один MS8-1 использованы дополнительные элементы: инвертор, через который старший разряд A подаётся на вход 2G - разрешения второго MS4-1, и элемент ИЛИ, объединяющий выходы мультиплексов. Пример подсоединения микросхемы 74153 в качестве мультиплексора MS8-1 для исследования с помощью логического преобразователя реализации некоторой булевой функции $F(A,B,C,D)$ приведён на рис. 6.

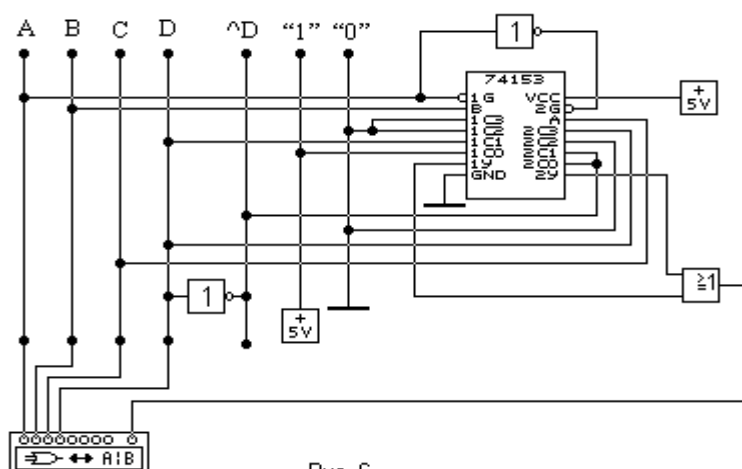


Рис. 6

Для исследования одновыходных логических схем будем использовать логический преобразователь – устройство, обеспечивающее взаимные преобразования различных способов представления логических схем. С его помощью можно:

- по таблице истинности получить логическое выражение;
- по логическому выражению получить логическую схему или таблицу истинности;

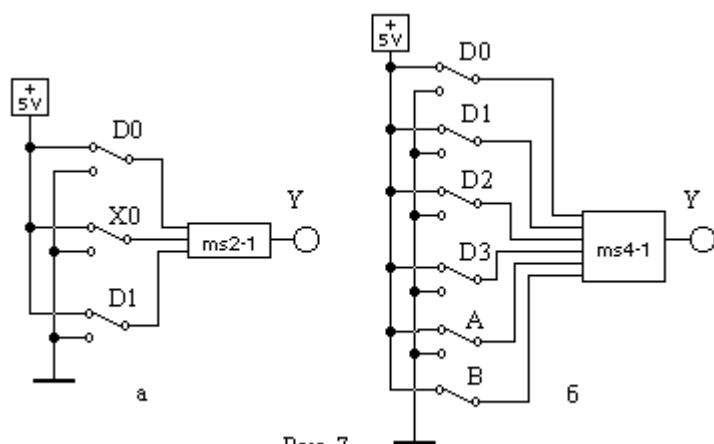


Рис. 7

- по логической схеме построить таблицу истинности.

Прибор предусматривает возможность использования до восьми входных логических переменных от **A** до **H**, подключаемых к входам исследуемой схемы, и вход **OUT**, к которому должен быть подключён выход исследуемой комбинационной схемы. Для активации необходимой переменной нужно щёлкнуть расположенный над ней кружок, после чего он станет тёмным. Если таблицу истинности задаёт пользователь, то после выбора входных переменных нужно активизировать переменную **OUT** и для каждого набора значений входных переменных задать значение выходной логической переменной. Подробная инструкция работы с этим прибором изложена в Программе *Electronic Workbench* для анализа электронных схем: Учебно-метод. пособие. В.М. Чухонцев. Самар. гос. тех. ун-т. Самара, 1999.- 92с.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

1. Запустите программу моделирования электронных схем **Multisim_10**.

2. Используя логические элементы НЕ, И и ИЛИ из контейнера **Gates**, соберите схемы мультиплексоров **MS2-1**, **MS4-1** согласно рис. 1,а и рис. 2,а. При этом собранные Вами схемы необходимо со-

хранить в виде субсхем. Для этого выделите собранную Вами схему с помощью мыши и нажмите клавиши **Ctrl** и **B**; введите имена Ваших субсхем **ms2-1** и **ms4-1** соответственно и нажмите кнопку **Copy from Circuit**. В результате схемы мультиплексоров в виде отдельных субсхем будут находиться в контейнере **Custom**.

3. Соберите схемы по рис. 7 для проверки работы субсхемы ms2-1 (рис. 7,а) и субсхемы ms4-1(рис. 7,б). Задавая управляющими сигналами номер того или иного информационного входа убедитесь в появлении на выходе субсхемы сигнала именно нужного параметра Di. Результаты эксперимента сведите в табл.

4. Используя разложение Шеннона по 1-й, 2-м и 3-м переменным, постройте схемы, реализующие заданную преподавателем функцию из приведённых ниже вариантов, на MS2-1, MS4-1 и MS8-1. Проверьте правильность выполнения задания с помощью логического преобразователя, таблицы истинности на экране которого для всех трёх вариантов схемной реализации должны совпадать с заданным вариантом.

1. $Y = U(0, 5, 15, 10, 8, 9)$
)

6. $Y = U(0, 15, 1, 10, 8, 11, 2)$

2. $Y = U(0, 1, 5, 4, 8, 14, 6)$
)

7. $Y = U(6, 5, 7, 14, 15, 10, 8)$

3. $Y = U(4, 5, 7, 15, 11, 9)$

8. $Y = U(7, 0, 5, 15, 14, 13)$

4. $Y = U(2, 3, 4, 5, 13, 9, 11)$

9. $Y = U(0, 2, 3, 5, 7, 12, 14)$

5. $Y = U(1, 2, 5, 7, 12, 13)$

10. $Y = U(10, 15, 3, 9, 6, 4, 0)$

Числа в скобках задаваемых функций определяют те строки таблицы истинности, в которых последняя принимает значение логической единицы.

Номер варианта соответствует номеру бригады на лабораторных занятиях.

5. Определите функцию $F(A,B,C,D)$, реализуемую схемой на рис. 6, с помощью разложения Шеннона.

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать схемы для исследования мультиплексоров. Для заданного преподавателем варианта разработать теоретически и проверить на модели результаты реализации булевых функций на мультиплексорах различного типа. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое мультиплексор и каковы области его применения?
2. Поясните принцип работы мультиплексора на примере MS4-1.
3. Объясните механизм разложения Шеннона булевой функции при разработке электрической схемы её реализации.
4. Какие возможности обеспечивает логический преобразователь при исследовании цифровых схем?

ЛАБОРАТОРНАЯ РАБОТА № 7

СИНТЕЗ И ИССЛЕДОВАНИЕ УСТРОЙСТВА ПОСЛЕДОВАТЕЛЬНОЙ СИНХРОННОЙ ПЕРЕДАЧИ ДАННЫХ

Цель лабораторной работы: Получение навыков синтеза и исследования устройств последовательной передачи данных.

1. КРАТКАЯ ТЕОРИЯ

При передаче данных по линиям связи или между устройствами ЭВМ часто используют преобразование параллельного кода (байта) в последовательный (биты) и обратное преобразование в параллельный код. Преобразование параллельного кода в последовательный производится с помощью сдвигающего регистра: сначала в него записывают байт (параллельная запись), а затем переводят регистр в режим сдвига и подают 8 импульсов синхронизации. Таким образом, на выходе одного из разрядов регистра (старшего или младшего в зависимости от направления сдвига) последовательно появляются значения всех разрядов записанного байта. Эта последовательность по линии связи передается в приемник, главным элементом которого является такой же сдвигающий регистр. Через последовательный вход (по импульсам синхронизации) информация последовательно вводится в регистр приемника. Через 8 импульсов синхронизации передаваемый байт в регистре приемника готов для дальнейшей обработки (обычно - записи в буферный регистр). Подробнее о регистрах можно почитать в разделе «Краткая теория» лабораторной работы № 4 ,

2. МЕТОДИКА ВЫПОЛНЕНИЯ

На рис.1 приведена схема простейшего передатчика с ручным управлением. Она собрана на 8-ми битовом универсальном регистре типа 74198 из библиотеки **default** модели **ideal** (контейнер **Sequential**). Значение передаваемого байта ABCDEFGH задаётся с помощью переключателей. Режим работы регистра (запись, хранение, сдвиг влево, сдвиг вправо) задаётся с помощью переключателей (0, 1), соединенных с управляющими входами (S0,S1). Состояние разря-

дов регистра отображается индикаторными лампочками. С помощью переключателей (0, 1) можно задать режим параллельной записи в регистр передатчика и записать в него байт, затем задать режим сдвига и передать этот байт (последовательно по битам) по линии связи в приемник (рис. 2). Приемник соединен с передатчиком 2-мя линиями: по одной передаются биты, по другой - СИ (импульсы синхронизации бит).

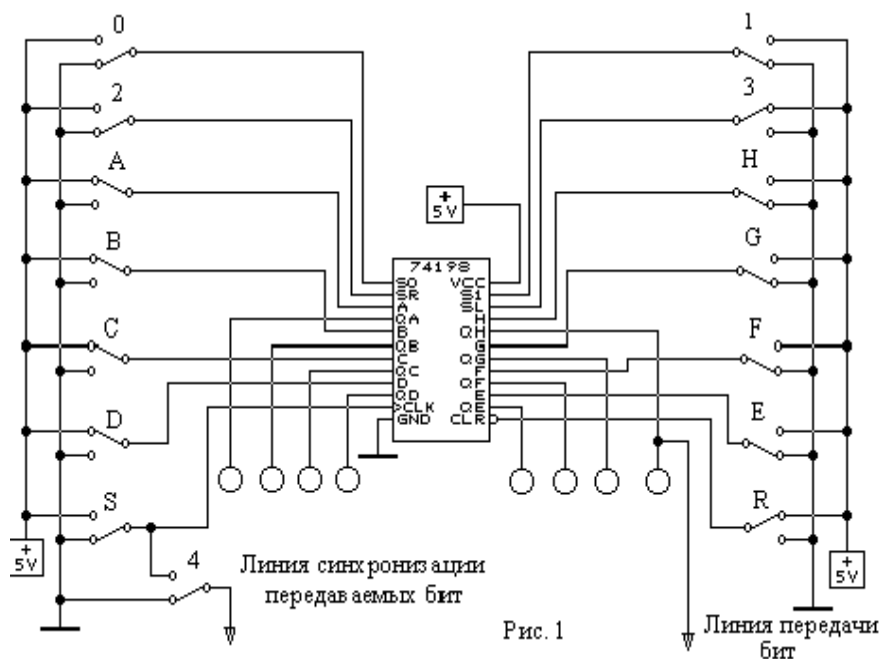


Рис. 1

Алгоритм работы передатчика приведен на рис. 3. В нем присутствуют условия “Пуск” и “Стоп”. По сигналу “Пуск” (кнопка) начинается работа передатчика. В начале регистра переводится в режим параллельной записи (Запись в RG), на

входы параллельной загрузки подается байт, а затем - СИ на вход синхронизации регистра. Для передачи данных регистр переводится в режим сдвига, вырабатывается СИ бит (который передается в приемник и используется также для подсчета количества переданных бит) и СИ RG (синхроимпульс сдвига). Следует обратить внимание на последовательность формирования фронтов СИ бит и СИ RG: сначала необходимо передать СИ бит в приемник, а затем сдвинуть содержимое регистра передатчика. Счетчик переданных бит изменяет свое состояние (+1) на каждом СИ бит. После передачи последнего 8-го бита содержимое счетчика (по MOD 8) становится равным нулю. Если нет команды “СТОП”, то начинается цикл передачи очередного байта.

На основании приведенного алгоритма необходимо спроектировать управляющий автомат, входами которого будут команды (кнопки) “ПУСК” и “СТОП”, а также логическое условие “СТ=0”. В целом устройство будет состоять из 2-х автоматов - операционного (ОА) и управляющего (УА). ОА будет содержать 2 основных операционных элемента: универсальный регистр и двоичный счетчик по

модулю 8. Эти элементы необходимо выбрать самостоятельно из контейнера **Sequential**. Управляющий автомат следует спроектировать как автомат МУРА.

Спроектированный автомат УА следует собрать, проверить правильность его функционирования согласно исходной ГСА и оформить в виде подсхемы АWT. Для удобства отладки автомата максимально используйте элементы индикации (в том числе и цифровые

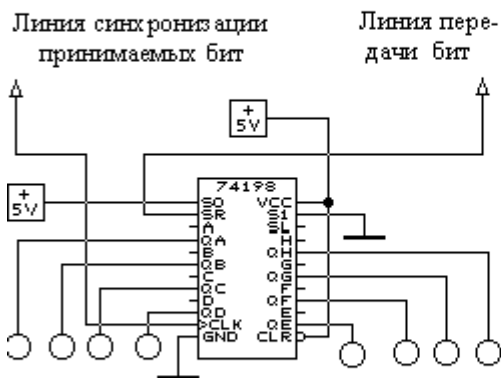


Рис. 2

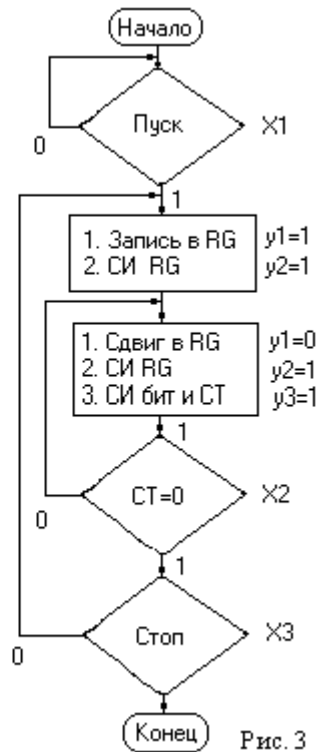


Рис. 3

индикаторы).

Перед подключением операционных элементов ОА к УА постройте временные диаграммы, из которых должна быть наглядно видна последовательность всех формируемых сигналов. В ОА для обеспечения этой последовательности можно использовать простейшие логические элементы И, ИЛИ, НЕ и т.п. При наладке ОА также используйте элементы индикации. Оформите отлаженный ОА в виде подсхемы TRANS. В качестве источника СИ для ОА и УА используйте FUNCTION GENERATOR, а источника передаваемых байт - WORD GENERATOR, который можно синхронизировать, например, логическим условием X2.

Схема приемника значительно проще схемы передатчика. На рис. 4 приведен один из вариантов общей схемы - передатчик + приемник.

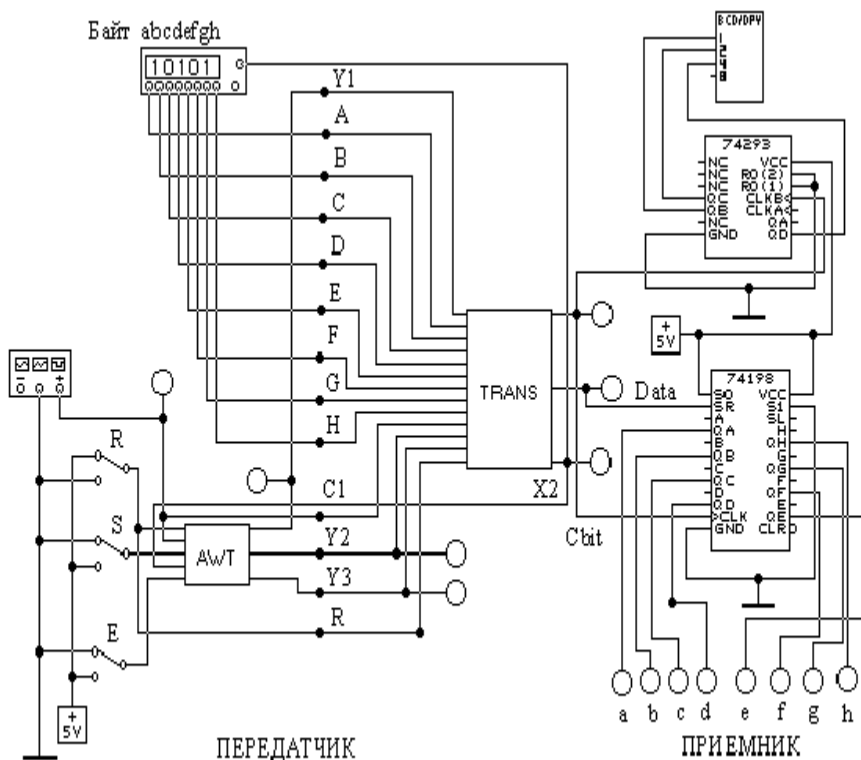


Рис. 4

В приемнике кроме сдвигающего регистра показан счетчик принятых бит и индикатор количества принятых бит. Регистр приемника всегда работает в одном режиме - сдвиг вправо. В передатчике используются кнопки:

- R - начальный сброс всех элементов передатчика;
- S - Старт; кнопка должна быть нажата в течении 2 СИ;
- E - Стоп.

Частоту генератора СИ следует выбрать 0.5 ... 1 Гц , чтобы можно было успевать наблюдать за работой устройства. При отладке генератор можно заменить на кнопку.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

1. Запустите программу моделирования электронных схем **Multisim_10**.
2. Соберите схемы (рис. 1 и рис. 2) и в ручном режиме проанализируйте работу каждой из них. Экспериментально определите сочетания управляющих команд для реализации различных режимов регистров.

3. Разработайте и соберите УА, затем ОА и устройство передачи-приёма в целом. Убедитесь в правильности работы УА и ОА.
4. Представьте принципиальные схемы Уа и ОА.
5. Нарисуйте временные диаграммы, иллюстрирующие работу устройства.

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, собрать и отладить схемы приемника и передатчика в устройстве последовательной передачи данных. Для заданной преподавателем последовательности передаваемых данных проверить на модели результаты работы собранной схемы. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Опишите работу схемы передатчика по рис. 1.
2. Опишите работу схемы приёмника по рис. 2.
3. Представьте и опишите работу субсхем управляющего и операционных автоматов передатчика.
4. Поясните работу передающего-приёмного устройства по рис. 3.
5. Каково назначение счётчика в цепи приёмника?

ЛАБОРАТОРНАЯ РАБОТА № 8. ч.1

СИНТЕЗ И ИССЛЕДОВАНИЕ ЦИФРОВЫХ УПРАВЛЯЮЩИХ УСТРОЙСТВ (автомат Мура)

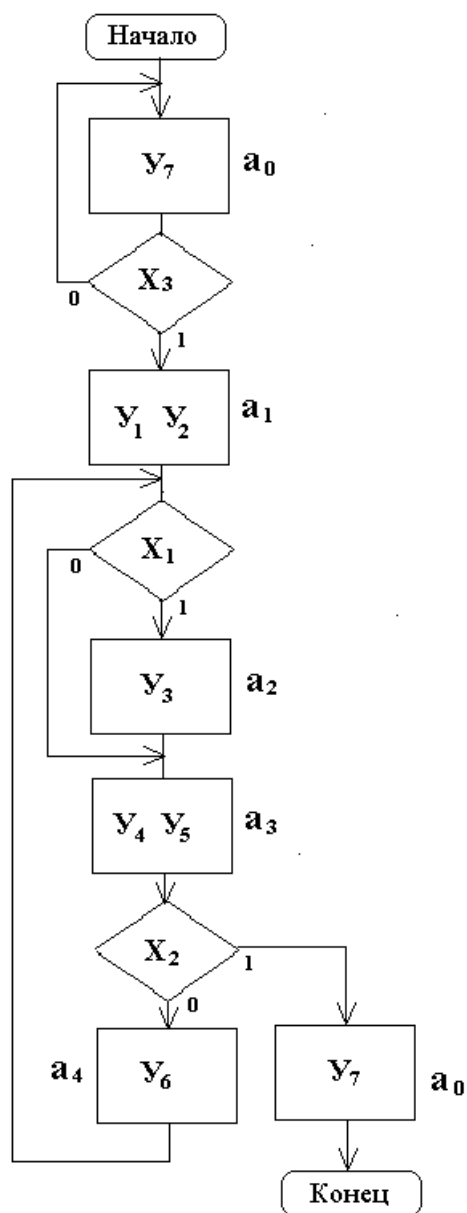


Рисунок 5.

Цель лабораторной работы: Получение навыков синтеза и исследования простейших цифровых автоматов.

В курсе «Теория автоматов» рассматривались вопросы синтеза цифровых управляющих автоматов на жесткой логике. Результатом синтеза являлась функциональная схема автомата. Целью данной лабораторной работы является реализация автомата Мура на элементной базе моделирующей программы EWB и исследование его поведения с помощью тестовой последовательности входных сигналов X .

1. КРАТКАЯ ТЕОРИЯ

1.Разметка состояний автомата Мура по ГСА.

Каждой операторной вершине ГСА автомата Мура соответствует определенное состояние - a_i . Удобно конечную (дополнительную) вершину обозначить как состояние a_0 , так как конечное состояние автомата должно совпадать с начальным. Начальное состояние автомата должно находиться в ГСА сразу после вершины «начало» и отмечается также A_0 . Остальные операторные вершины нумеруются подряд: a_1, a_2, a_3 и т.д. (рис.5).

Таким образом ГСА автомата Мура отличается от исходной ГСА УА еще одной дополнительной вершиной с состоянием a_0 . Обе вершины, помеченные состоянием a_0 , можно мысленно совместить, так как после завершения операции автомат должен вернуться в начальное состояние

2. Построение графа переходов автомата Мура (по ГСА рис.5)

Вершины графа соответствуют состояниям автомата, дуги – переходам из состояния a_m в состояние a_s . У вершин графа записываются микрокоманды, соответствующие состояниям, в начале дуги – логические условия, определяющие переход из состояния a_m в состояние a_s (рис.6).

3. Построение прямой таблицы переходов автомата Мура.

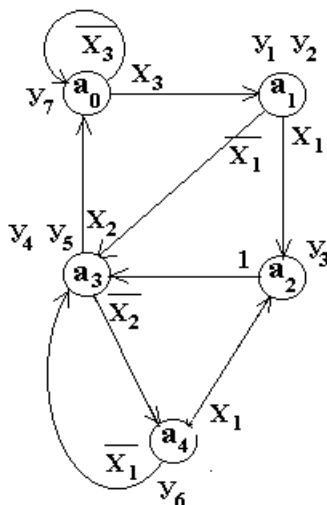


Рисунок 6.

Прямая таблица переходов строится по графу переходов (рис.6). Количество строк в таблице равно количеству переходов в графе. В столбце a_m записываются состояния, из которых начинается переход, в столбце a_s – состояния, в которые перешел автомат из a_m . В столбце $Y a_s$ записываются Y_i – микрокоманды, вырабатываемые автоматом в состоянии a_s . В столбце $X a_m a_s$ записываются логические условия (их конъюнкция), обеспечивающие переход из состояния a_m в состояние a_s . Прямая таблица позволяет проверить полноту переходов, показанных на графе пере-

ходов: дизъюнкция всех $X a_m a_s$ из состояния a_m должна быть равна «1». В нашем примере дизъюнкция всех $X a_0 a_s$ равна: $\neg x_3 \vee x_3 = 1$.

Прямая таблица переходов автомата Мура:

№	a_m	a_s	$Y a_s$	$X a_m a_s$
1	a_0	a_0	y_7	$\neg x_3$
2	a_0	a_1	y_1, y_2	x_3
3	a_1	a_2	y_3	x_1
4	a_1	a_3	y_4, y_5	$\neg x_1$
5	a_2	a_3	y_4, y_5	1
6	a_3	a_4	y_6	$\neg x_2$
7	a_3	a_0	y_7	x_2
8	a_4	a_2	y_3	x_1
9	a_4	a_3	y_4, y_5	$\neg x_1$

4. Кодирование состояний автомата. Выбор элементов памяти.

Так как поведение автомата всегда зависит от его текущего состояния a_m , необходимо хранить код состояния a_m в памяти состояний автомата. Объем памяти зависит от способа кодирования состояний. При минимальном кодировании каждому состоянию соответствует число в двоичном представлении, причем количество разрядов этого числа n определяется выражением: $n = \lceil \log_2 |A| \rceil$. Другой крайний случай – унитарное кодирование, при котором: $n = |A|$. От выбранного способа кодирования и самого кодирования состояний может зависеть сложность схемы автомата.

Используем для нашего примера минимальное кодирование состояний. Так как автомат имеет пять состояний, то минимальное количество элементов памяти

$$n = \lceil \log_2 |A| \rceil = \lceil \log_2 5 \rceil = 3.$$

Выберем в качестве элементов памяти D-триггера. Для нашего примера их количество равно трем. Обозначим их как $T_2 T_1 T_0$, причем T_2 соответствует старшему разряду кода состояний. Выходы триггеров обозначаются соответственно $Q_2 Q_1 Q_0$. Значение числа $Q_2 Q_1 Q_0$ на этих выходах - есть код состояния автомата.

Закодируем состояния автомата произвольно ($K a_i = Q_2 Q_1 Q_0$):

$$K a_0 = 100. \quad K a_1 = 001. \quad K a_2 = 010.$$

$$K a_3 = 000. \quad K a_4 = 011.$$

5. Обратная структурная таблица автомата Мура.

Обратная структурная таблица автомата Мура строится на основе прямой таблицы переходов путем упорядочивания строк по столбцу a_s и добавления столбцов:

$K a_m$ - код состояния a_m .

$K a_s$ - код состояния a_s .

$F a_m a_s$ – функции управления элементами памяти при переходе из состояния a_m в состояние a_s . Поскольку в качестве элементов памяти используем D-триггера, в этом столбце записываем только D_i , соответствующие триггерам, которые необходимо установить в состояние «1», что бы обеспечить $K a_s$.

Обратная структурная таблица автомата Мура

№	a _m	K a _m	a _s	K a _s	X a _m a _s	Y a _s	F a _m a _s
1	a ₀	100	a ₀	100	$\neg x_3$	y ₇	D ₂
2	a ₃	000			x ₂		D ₂
3	a ₀	100	a ₁	001	x ₃	y ₁ , y ₂	D ₀
4	a ₁	001	a ₂	010	x ₁	y ₃	D ₁
5	a ₄	011			x ₁		D ₁
6	a ₁	001	a ₃	000	$\neg x_1$	y ₄ , y ₅	-
7	a ₂	010			1		-
8	a ₄	011			$\neg x_1$		-
9	a ₃	000	a ₄	011	$\neg x_2$	y ₆	D ₁ D ₀

6. Функции управления элементами памяти и функции выходов автомата

Функции управления элементами памяти записываются по обратной структурной таблице автомата:

$$D_i = F(a_m, X a_m a_s).$$

Для нашего примера:

$$D_2 = a_0 \neg x_3 \vee a_3 x_2.$$

$$D_1 = a_1 x_1 \vee a_4 x_1 \vee a_3 \neg x_2 = x_1 (a_1 \vee a_4) \vee a_3 \neg x_2.$$

$$D_0 = a_0 x_3 \vee a_3 \neg x_2.$$

Функции выходов так же записываются по обратной структурной таблице автомата:

$$y_i = F(a_s).$$

Для нашего примера:

$$y_1 = y_2 = a_1. \quad y_3 = a_2. \quad y_4 = y_5 = a_3. \quad y_6 = a_4. \quad y_7 = a_0.$$

7. Функциональная схема автомата Мура на жесткой логике

Функциональная схема автомата Мура состоит из следующих цифровых узлов:

- Память состояний.

В нашем примере – триггера: T₂ T₁ T₀.

- Дешифратор состояний DC. Дешифратор необходим для преобразования двоичного кода состояний автомата K a_m в унитарный, соответствующий переменным a_i, используемым в записанных выше функциях.

В нашем примере – дешифратор DC имеет 3 входа и 8 выходов. На вход DC подается Ka_m – код состояния a_m , а на выходах DC формируется унитарный код состояния автомата a_m : единица на i -ом выходе дешифратора DC формируется при $Ka_m = i$.

- Комбинационная схема формирования сигналов управления элементами памяти состояний автомата реализует функции:

$$D_i = F(a_m, X a_m a_s)..$$
- Комбинационная схема формирования выходных сигналов автомата реализует функции: $y_i = F(a_s)$.

В функциональной схеме (рис.7) использованы «шины». Шины представляют из себя множество соединений схемы, изображенных в виде одной утолщенной линии. Вход в шину и выход из нее конкретного соединения обозначается либо одним и тем же числом, либо содержательным обозначением сигнала, передаваемого по этому соединению. Применение шин в схемах позволяет избежать большого числа пересечений на схеме и делает ее более простой для чтения.

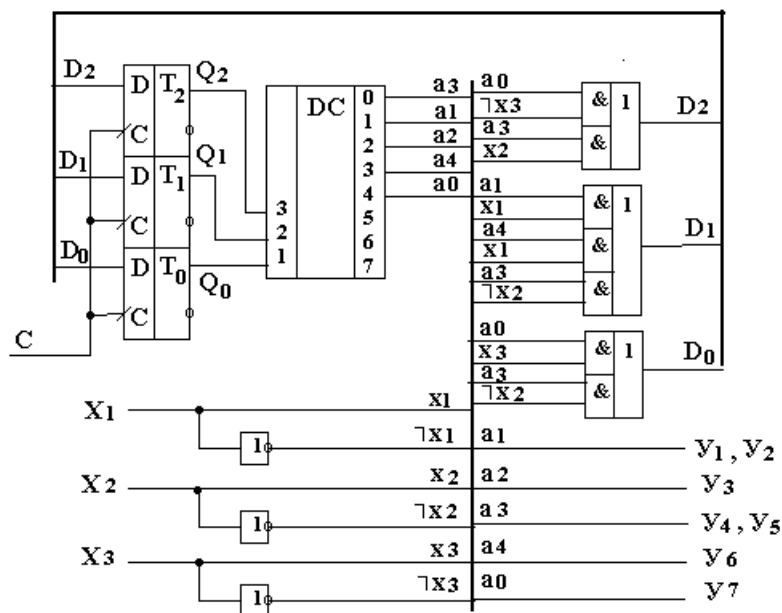


Рисунок 7. Функциональная схема автомата Мура

С целью упрощения схемы, в ней не показаны элементы, обеспечивающие установку автомата в начальное состояние a_0 с кодом $Ka_0 = 100$. Этот вопрос будет рассмотрен ниже.

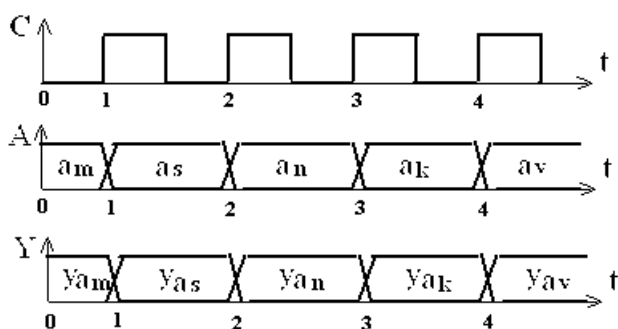


Рисунок 8.

На рис.8 приведены временные диаграммы, поясняющие работу автомата Мура. Находясь в некотором состоянии a_i автомат вырабатывает выходной сигнал (микрокоманду) y_j , соответствующий этому состоянию. В это же время формируются сигналы управления элементами памяти

D_i , которые определяют следующее состояние автомата в зависимости от текущего и значений логических условий x_i . При поступлении на вход синхронизации автомата положительного фронта импульса C , автомат переходит в новое состояние, определяемое значениями D_i на входах триггеров $T_2 T_1 T_0$.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

1. По выданной преподавателем ГСА синтезировать автомат МУРА – построить функциональную схему автомата.
 2. Запустите программу моделирования электронных схем **Multisim_10**.
- и соберите схему автомата, проверить работоспособность схемы.
3. По графу переходов автомата построить оптимальную тестовую последовательность входных сигналов (логических условий X), позволяющую проверить правильность работы автомата.
 4. Результаты тестирования автомата представить в виде таблицы, в которой в левом столбце – значение тестового набора (X), а в правом столбце – значения выходных сигналов (Y). Пример фрагмента такой таблицы приведен ниже. Здесь символ (*) соответствует произвольному значению переменной x .

№	x_1	x_2	x_3	$y_{1,2}$	y_3	$y_{4,5}$	y_6	y_7
1	*	*	0	0	0	0	0	1
2	*	*	1	1	0	0	0	0
3	1	*	*	0	1	0	0	0
4	*	*	*	0	0	1	0	0
5	*	1	*	0	0	0	0	1
6								

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, для заданной преподавателем ГСА разработать теоретически цифровой автомат и провести на модели его исследование. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Опишите работу схемы автомата по рис. 7.
2. Опишите работу схемы по рис. 8.
3. Поясните граф и прямую таблицу переходов разработанного Вами цифрового автомата.
4. Поясните работу Вашего автомата на модели по ГСА.
5. Каково назначение элементов в схеме Вашего автомата?

ЛАБОРАТОРНАЯ РАБОТА № 8, ч.2

СИНТЕЗ И ИССЛЕДОВАНИЕ ЦИФРОВЫХ УПРАВЛЯЮЩИХ УСТРОЙСТВ (автомат Мили)

Цель лабораторной работы: Получение навыков синтеза и исследования цифровых управляющих устройств.

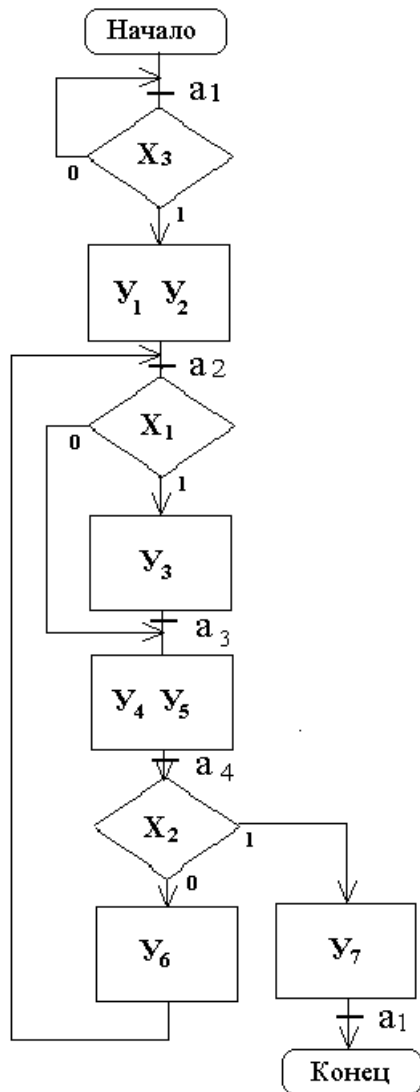


Рисунок 1.

1. КРАТКАЯ ТЕОРИЯ

1. Разметка состояний автомата Мили по ГСА.

В отличие от автомата Мура, состояния автомата Мили не соответствуют операторным вершинам ГСА, а отмечаются на дугах ГСА перед вершинами, следующими за операторными. Исключение составляет начальное (оно же конечное) состояние автомата. Его удобно обозначать символом a_0 или a_1 . Символом a_0 или a_1 отмечают вход вершины, следующей за начальной и вход конечной вершины ГСА. Входы всех остальных вершин, следующих за операторными, также отмечаются символами: a_1, a_2, \dots

Используем для примера ГСА УА (рис.1 для синтеза автомата Мили. Обозначим начальное состояние как a_1 , а остальные: a_2, a_3, a_4 .

В случае, когда в вершину, следующую за операторной, входит более чем одна дуга, состояние необходимо отметить на дуге так, что бы для всех входящих дуг соблюдалось правило разметки состояний. На ГСА (рис.1) это состояния a_2 и a_3 . Состояние a_2 необходимо отметить ниже входящей слева стрелки, а состояние a_3 – выше входящей справа стрелки. В первом случае в a_2 сошлись пути из двух операторных вершин, а во втором – путь из a_2 не приводит в состояние a_3 (этот переход был бы «пустым», без про-

хода через операторную вершину), а приводит в состояние a_4 (после операторной вершины).

2. Построение графа переходов автомата Мили по ГСА.

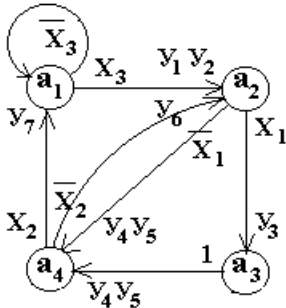


Рисунок 2.

Вершины графа соответствуют состояниям автомата, дуги – переходам из состояния a_m в состояние a_s . У выхода дуги из вершины графа a_m записываются логические условия, определяющие переход из состояния a_m в состояние a_s , а у входа дуги в состояние a_s – микрокоманды, вырабатываемые автоматом при переходе из состояния a_m в состояние a_s (рис.2).

№	a_m	a_s	$X_{a_m a_s}$	$Y_{a_m a_s}$
1	a_1	a_1	$\wedge X_3$	-
2	a_1	a_2	X_3	$Y_1 Y_2$
3	a_2	a_3	X_1	Y_3
4	a_2	a_4	$\wedge X_1$	$Y_4 Y_5$
5	a_3	a_4	1	$Y_4 Y_5$
6	a_4	a_1	X_2	Y_7
7	a_4	a_2	$\wedge X_2$	Y_6

3. Построение прямой таблицы переходов автомата Мили.

Прямая таблица переходов строится по графу переходов (рис.2).

Количество строк в таблице равно количеству переходов в графе. В столбце a_m записываются

состояния, из которых начинается переход, в столбце a_s – состояния, в которые перешел автомат из состояния a_m . В столбце $Y_{a_m a_s}$ записываются Y_i – микрокоманды, вырабатываемые автоматом при переходе из состояния a_m в состояние a_s . В столбце $X_{a_m a_s}$ записываются логические условия (их конъюнкция), обеспечивающие переход из состояния a_m в состояние a_s .

Прямая таблица позволяет проверить полноту переходов, показанных на графе переходов: дизъюнкция всех $X_{a_m a_s}$ из состояния a_m должна быть равна «1» ($\cup X_{a_m a_s} = 1$). В

нашем примере дизъюнкция всех $X_{a_1 a_s}$ равна: $\cup X_{a_1 a_s} = X_{a_1 a_1} \vee X_{a_1 a_2} = \wedge X_3 \vee X_3 = 1$. Аналогично: $\cup X_{a_2 a_s} = X_{a_2 a_3} \vee X_{a_2 a_4} = X_1 \vee \wedge X_1 = 1$, $\cup X_{a_3 a_s} = X_{a_3 a_4} = 1$, $\cup X_{a_4 a_s} = X_{a_4 a_1} \vee X_{a_4 a_2} = X_2 \vee \wedge X_2 = 1$.

4. Кодирование состояний автомата. Выбор элементов памяти.

Кодирование состояний автомата Мили производится также как и автомата Мура.

Используем для нашего примера минимальное кодирование состояний. Так как автомат имеет четыре состояния, то минимальное количество элементов памяти

$$n = \lceil \log_2 |A| \rceil = \lceil \log_2 4 \rceil = 2.$$

Выберем в качестве элементов памяти синхронные RS-триггера. Для нашего примера их количество равно двум. Обозначим их как $T_1 T_0$, причем T_1 соответствует старшему разряду кода состояний. Выходы триггеров обозначаются соответственно $Q_1 Q_0$. Значение числа $Q_1 Q_0$ на этих выходах - есть код состояния автомата.

Закодируем состояния автомата произвольно ($Ka_i = Q_1 Q_0$):

$$Ka_1 = 00, \quad Ka_2 = 01, \quad Ka_3 = 10, \quad Ka_4 = 11.$$

5. Обратная структурная таблица автомата Мили.

Обратная структурная таблица автомата Мили строится также как и для автомата Мура.

№	a_m	Ka_m	a_s	Ka_s	$X_{a_m a_s}$	$Y_{a_m a_s}$	$F_{a_m a_s}$
1	a_1	00	a_1	00	\hat{x}_3	-	-
2	a_4	11			x_2	y_7	$R_1 R_0$
3	a_1	00	a_2	01	X_3	$y_1 y_2$	S_0
4	a_4	11			\hat{x}_2	y_6	R_1
5	a_2	01	a_3	10	x_1	y_3	$S_1 R_0$
6	a_2	01	a_4	11	\hat{x}_1	$y_4 y_5$	S_1
7	a_3	10			1	$y_4 y_5$	S_0

При заполнении столбца $F_{a_m a_s}$ следует обратить внимание на то, что управление RS-триггерами отличается от управления D-триггерами. Если состояние некоторых разрядов RS-триггеров памяти автомата не изменяется при переходе из a_m в a_s , то нет необходимости вырабатывать соответствующие сигналы управления $S=1$ или $R=1$, так как комбинация $S=0$ и $R=0$ соответствует режиму хранения в RS-триггерах. Например, в третьей строке структурной таблицы описан переход из состояния a_1 с кодом $Ka_m = 00$ ($Q_1=0, Q_0=0$) в состояние a_2 с кодом $Ka_s = 01$ ($Q_1=0, Q_0=1$). Что бы обеспечить переход из a_1 в a_2 нужно сохранить значение $Q_1=0$, а младший разряд памяти состояний Q_0 установить «1», поэтому в столбце $F_{a_m a_s}$ третьей строки

записано « S_0 », что означает $S_0=1$. При поступлении на вход синхронизации памяти состояний синхроимпульса C , триггер T_1 не изменит своего состояния (так как $R_1=0$ и $S_1=0$), а триггер T_0 перейдет из состояния «0» в состояние «1» (так как $R_0=0$, а $S_0=1$). В столбце $F_{a_m a_s}$ не будем записывать $R_i=0$ или $S_i=0$, а будем записывать только те R_i и S_i , значения которых должны быть равны «1».

6. Функции управления элементами памяти и функции выходов автомата

Функции управления элементами памяти записываются по обратной структурной таблице автомата:

$$R_i = F(a_m, X a_m a_s).$$

$$S_i = F(a_m, X a_m a_s).$$

Смысл этих выражений следующий (например для R_1): значение функции R_1 должно быть равно «1» (см. обратную структурную таблицу) в двух случаях (2-ая и 4-ая строки таблицы): если автомат находился в состоянии a_4 , а значение $x_2 = 1$ или, если автомат находился в состоянии a_4 , а значение $\hat{x}_2 = 1$. Таким образом, функция R_1 имеет вид:

$$R_1 = a_4 x_2 \vee a_4 \hat{x}_2 = a_4.$$

Остальные функции R_i и S_i записываются аналогично:

$$S_1 = a_2 x_1 \vee a_2 \hat{x}_1 = a_2.$$

$$R_0 = a_4 x_2 \vee a_2 x_1$$

$$S_0 = a_1 x_3 \vee a_3$$

Функции выходов автомата $Y_{a_m a_s}$ так же записываются по обратной структурной таблице автомата:

$$y_i = F(a_m, X a_m a_s).$$

Смысл этого выражения следующий (например для y_4): значение функции y_4 должно быть равно «1» (см. обратную структурную таблицу) при переходе автомата из состояний a_2 или a_3 в состояние a_4 (6-ая и 7-ая строки таблицы). Иначе: если автомат находился в состоянии a_2 , а значение $\hat{x}_2 = 1$ или, если автомат находился в состоянии a_3 , то при переходе автомата из состояний a_2 или a_3 в состояние a_4 значение y_4 должно быть равно «1». Таким образом, функция y_4 имеет вид:

$$y_4 = y_5 = a_2 \hat{x}_1 \vee a_3$$

Остальные функции выходов имеют вид:

$$y_1 = y_2 = a_1 x_3, \quad y_3 = a_2 x_1.$$

$$y_6 = a_4 x_2, \quad y_7 = a_4 x_2$$

7. Функциональная схема автомата Мили на жесткой логике

Функциональная схема автомата Мили состоит из следующих цифровых узлов:

- Память состояний. В нашем примере – два триггера T_1 T_0 .
- Дешифратор состояний DC. В нашем примере – дешифратор DC имеет 2 входа и 4 выхода. На вход DC подается Ka_m – код состояния a_m , а на выходах DC формируется унитарный код состояния автомата a_m : единица на i -ом выходе дешифратора DC формируется при $Ka_m = i$.
- Комбинационная схема формирования сигналов управления элементами памяти состояний автомата. В нашем примере реализует функции:

$$R_i = F(a_m, X a_m a_s).$$

$$S_i = F(a_m, X a_m a_s).$$

- Комбинационная схема формирования выходных сигналов автомата. В нашем примере реализует функции: $y_i = F(a_m, X a_m a_s)$.
- Память логических условий. В нашем примере это три D – триггера T_{x1} T_{x2} T_{x3} .

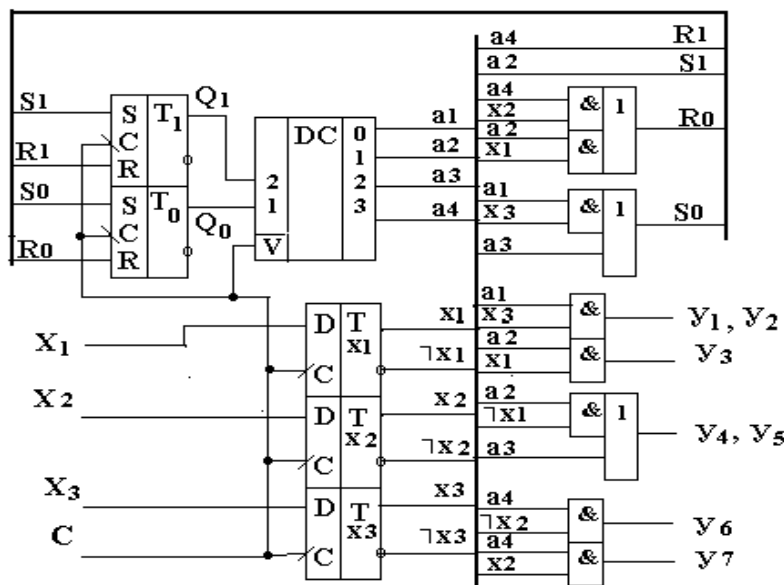


Рисунок 3. Функциональная схема автомата Мили

Значения логических условий на входе автомата Мили могут измениться во время формирования микрокоманды y_i , что может привести к формированию «ложных» (лишних) микрокоманд. Поэтому необходимо за-

фиксировать значения x_i , поступившие на входы автомата к моменту прихода импульса синхронизации, на время формирования микрокоманд y_i . Таким образом, по положительному фронту импульса синхронизации C значения x_i , запоминаются на триггерах

T_{xi} , при $C = 1$ формируются микрокоманды y_i и функции управления элементами памяти R_i и S_i , а по отрицательному фронту импульса C автомат переходит в следующее состояние, определяемое значениями R_i и S_i на входах памяти состояний автомата.

Временная диаграмма, поясняющая работу автомата Мили приведена на рис.4 функциональная схема – на рис.3.

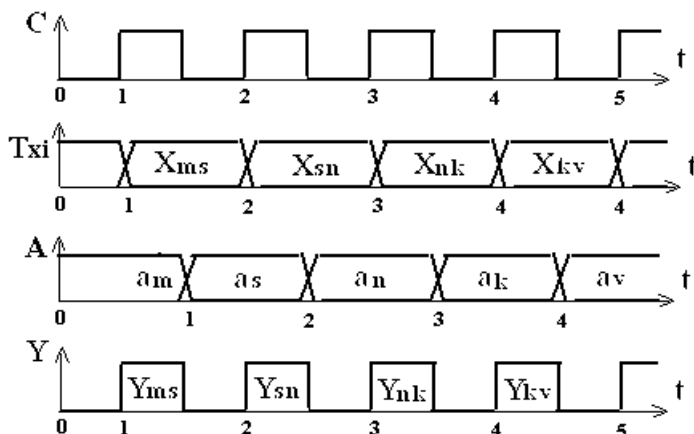


Рисунок 4.

Из временной диаграммы видно, что по положительному фронту импульса синхронизации C значения логических условий X на входе автомата запоминаются на триггерах T_{xi} . Значения логических условий с выходов этих триггеров и текущее состояние автомата a_m используются для вычисления Y_{ms} – микрокоманд, вырабатываемых автоматом на переходе из состояния a_m в состояние a_s . Дешифратор состояний DC (рис.3 имеет вход разрешения V : при $V=1$ дешифратор выдает на одном из своих выходов значение «1», при $V=0$ – на всех выходах DC логический «0»). Это означает, что при $C=0$ (а значит и $V=0$), все выходные сигналы автомата Y_{ms} равны нулю. Автомат вырабатывает микрокоманды только при $C=1$.

Значения логических условий с выходов этих триггеров и текущее состояние автомата a_m используются для вычисления Y_{ms} – микрокоманд, вырабатываемых автоматом на переходе из состояния a_m в состояние a_s . Дешифратор состояний DC (рис.3 имеет вход разрешения V : при $V=1$ дешифратор выдает на одном из своих выходов значение «1», при $V=0$ – на всех выходах DC логический «0»). Это означает, что при $C=0$ (а значит и $V=0$), все выходные сигналы автомата Y_{ms} равны нулю. Автомат вырабатывает микрокоманды только при $C=1$.

2. МЕТОДИКА ВЫПОЛНЕНИЯ

1. По выданной преподавателем ГСА синтезировать автомат МИЛИ построить функциональную схему автомата.
2. Запустите программу моделирования электронных схем **Multisim_10**.
и соберите схему автомата, проверить работоспособность схемы
3. По графу переходов автомата построить оптимальную тестовую последовательность входных сигналов (логических условий X), позволяющую проверить правильность работы автомата.
4. Результаты тестирования автомата представить в виде таблицы, в которой: в левом столбце – значение тестового набора (X), обеспечивающего переход автомата из состояния a_m в состояние a_s , а в правом столбце – значения выходных сигналов (Y), вырабатываемых автома-

том на этом переходе. Пример фрагмента такой таблицы приведен ниже. Здесь символ (*) соответствует произвольному значению переменной x .

№	x_1	x_2	x_3	$y_{1,2}$	y_3	$y_{4,5}$	y_6	y_7
1	*	*	0	0	0	0	0	0
2	*	*	1	1	0	0	0	0
3	1	*	*	0	1	0	0	0

3. ЗАДАНИЕ НА ВЫПОЛНЕНИЕ РАБОТЫ

Согласно методике, изложенной в п.2, для заданной преподавателем ГСА разработать теоретически цифровое управляющее устройство и провести на модели его исследование. Результаты исследований оформить в виде отчета.

4. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Опишите работу схемы автомата по рис. 3.
2. Опишите работу схемы по рис. 4.
3. Поясните граф и прямую таблицу переходов разработанного Вами цифрового автомата.
4. Поясните работу Вашего автомата на модели по ГСА.
5. Каково назначение элементов в схеме Вашего автомата?

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Лаврентьев, Б. Ф. Схемотехника электронных средств: Учебное пособие / Б.Ф. Лаврентьев. – М.: Академия, 2010.
2. Лехин С.Н. Схемотехника ЭВМ. Учебник для ВУЗов;/Лехин С.Н. 2010 ; ВНУ-Санкт-Петербург , 672с;
3. Новиков Ю.В. Введение в цифровую схемотехнику: учеб. пособие. – М.: Интернет-Ун-т Инфор. Технологий, 2007.-343 с.

4. Схемотехника. Курс лекций. (В электронной форме)
Сост.Воронцов И.В. Самара, 2011

СОДЕРЖАНИЕ

Лабораторная работа № 1 ч.1	
ИССЛЕДОВАНИЕ СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ХАРАКТЕРИСТИК ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ. Исследование статических характеристик логических элементов	3
Лабораторная работа № 1 ч.2	
ИССЛЕДОВАНИЕ СТАТИЧЕСКИХ И ДИНАМИЧЕСКИХ ХАРАКТЕРИСТИК ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ. Исследование динамических характеристик логических элементов	11
Лабораторная работа № 2	
ИССЛЕДОВАНИЕ СТАТИЧЕСКИХ ТРИГГЕРОВ	16
Лабораторная работа № 3	
ИССЛЕДОВАНИЕ РЕГИСТРОВ	26
Лабораторная работа № 4	
ИССЛЕДОВАНИЕ ЦИФРОВЫХ СЧЕТЧИКОВ С ПОСЛЕДОВАТЕЛЬНЫМ И ПАРАЛЛЕЛЬНЫМ ПЕРЕНОСОМ И ЗАДАННЫМ ПОРЯДКОМ СЧЕТА	33
Лабораторная работа № 5	
ИССЛЕДОВАНИЕ СХЕМ СУММАТОРОВ И АЛУ	41
Лабораторная работа № 6	
ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ И ИХ ИСПОЛЬЗОВАНИЕ ДЛЯ РЕАЛИЗАЦИИ БУЛЕВЫХ ФУНКЦИЙ	46
Лабораторная работа № 7	
СИНТЕЗ И ИССЛЕДОВАНИЕ УСТРОЙСТВА ПОСЛЕДОВАТЕЛЬНОЙ СИНХРОННОЙ ПЕРЕДАЧИ ДАННЫХ	53
Лабораторная работа № 8 ч.1	
СИНТЕЗ И ИССЛЕДОВАНИЕ ЦИФРОВЫХ УПРАВЛЯЮЩИХ УСТРОЙСТВ (автомат Мура)	59
Лабораторная работа № 8 ч.2	
СИНТЕЗ И ИССЛЕДОВАНИЕ ЦИФРОВЫХ УПРАВЛЯЮЩИХ УСТРОЙСТВ (автомат Мили)	65

Составители: *Игорь Васильевич Воронцов,*
Владимир Петрович Золотов

Цифровая схемотехника

МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ЛАБОРАТОРНЫМ РАБОТАМ

Подписано в печать _____

Формат 60x84 1/16 Бум. типогр. №2

Печать офсетная.

Ус. п. л. 3,49. Усл. кр. отт. 3,49 Уч. изд. л. 3,3

Тираж 100 экз. С – 110.

Самарский государственный технический университет
433010, Самара, ул. Галактионовская, 141